

UNIVERSITATEA TEHNICĂ CLUJ-NAPOCA  
FACULTATEA DE AUTOMATICĂ ȘI CALCULATOARE  
CATEDRA DE CALCULATOARE

ing. Baruch Zoltan Francisc

# **CONTRIBUȚII LA PROIECTAREA ASISTATĂ DE CALCULATOR A SISTEMELOR NUMERICE**

Teză de doctorat

Conducător științific  
Prof. dr. ing. PUSZTAI Kalman

Cluj-Napoca, 1998



# CUPRINS

<b>1. INTRODUCERE</b> .....	<b>1</b>
1.1 Proiectarea sistemelor numerice.....	1
1.2 Circuite FPGA .....	1
1.3 Etapele de proiectare cu circuite FPGA .....	3
1.4 Motivația tezei .....	4
1.5 Organizarea tezei .....	6
<b>2. ANALIZA SITUAȚIEI ACTUALE ÎN DOMENIUL CIRCUITELOR VLSI ȘI FPGA</b> .....	<b>7</b>
2.1 Introducere.....	7
2.2 Procesul de proiectare al circuitelor VLSI .....	7
2.2.1 Proiectarea arhitecturală.....	7
2.2.2 Proiectarea logică .....	9
2.2.3 Proiectarea fizică .....	9
2.3 Tipuri de circuite VLSI .....	10
2.3.1 Rețele de porți .....	10
2.3.1 Celule standard.....	11
2.3.1 Macro-celule .....	12
2.3.1 Circuite FPGA .....	13
2.4 Tipuri de circuite FPGA .....	14
2.4.1 Circuitele FPGA Xilinx.....	15
2.4.2 Circuitele FPGA Altera.....	17
2.4.3 Circuitele FPGA Actel .....	19
2.4.4 Circuitele FPGA Quicklogic .....	21
2.5 Dificultățile proiectării fizice.....	21
2.6 Concluzii .....	23
<b>3. PARTIȚIONAREA PENTRU CIRCUITELE CU RESURSE LIMITATE DE RUTARE</b> .....	<b>27</b>
3.1 Introducere.....	27
3.2 Definirea problemei de partiționare.....	29
3.3 Restricții .....	30
3.4 Prezentarea sintetică a metodelor de partiționare .....	31
3.4.1 Algoritmul Kernighan-Lin.....	33
3.4.2 Variante ale algoritmului Kernighan-Lin.....	36
3.4.3 Euristică Fiduccia-Mattheyses.....	37
3.4.4 Partiționarea prin metoda călirii simulate.....	39

3.4.5	Partiționarea prin tăietura proporțională .....	41
3.4.6	Partiționarea cu performanțe stabile.....	45
3.4.7	Partiționarea prin metode spectrale.....	47
3.4.8	Partiționarea pe baza rețelelor de flux .....	50
3.4.9	Multipartiționarea .....	55
3.4.10	Partiționarea prin metode probabilistice .....	58
<b>3.5</b>	<b>Partiționarea pentru circuitele FPGA .....</b>	<b>62</b>
3.5.1	Partiționarea ierarhică pentru circuite FPGA multiple .....	62
3.5.2	Partiționarea pentru circuite FPGA cu structuri de tip PLA .....	66
<b>3.6</b>	<b>Metode neconvenționale de partiționare .....</b>	<b>68</b>
3.6.1	Partiționarea prin evoluție stohastică.....	69
3.6.1.1	Bipartiționarea prin evoluție stohastică.....	71
3.6.1.2	Multipartiționarea prin evoluție stohastică.....	73
3.6.2	Partiționarea prin automate de învățare .....	75
3.6.2.1	Automate de învățare și partiționarea obiectelor.....	75
3.6.2.2	Automat de învățare pentru partiționarea grafurilor.....	77
<b>3.7</b>	<b>Algoritmi de partiționare propuși pentru circuite FPGA cu resurse limitate de rutare .....</b>	<b>82</b>
3.7.1	Algoritm de partiționare cu echilibrarea numărului de conexiuni ....	82
3.7.2	Algoritm genetic pentru partiționare cu echilibrarea numărului de conexiuni.....	85
3.7.2.1	Terminologia algoritmilor genetici .....	85
3.7.2.2	Principiul algoritmilor genetici .....	85
3.7.2.3	Algoritm genetic de partiționare cu echilibrarea numărului de conexiuni .....	87
3.7.3	Rezultate experimentale.....	89
<b>3.8</b>	<b>Concluzii.....</b>	<b>90</b>
<b>4.</b>	<b>PLASAREA MODULELOR CU OBIECTIVUL ASIGURĂRII RUTABILITĂȚII CIRCUITELOR .....</b>	<b>95</b>
4.1	Introducere.....	95
4.2	Definirea problemei de plasare.....	97
4.3	Funcții de cost și restricții.....	97
4.3.1	Estimarea lungimii conexiunilor .....	98
4.3.2	Minimizarea lungimii totale a conexiunilor.....	99
4.3.3	Minimizarea tăieturii maxime.....	99
4.3.4	Minimizarea densității maxime .....	100
4.3.5	Maximizarea performanțelor .....	101
4.4	Sinteza metodelor de plasare.....	102
4.4.1	Plasarea constructivă inițială .....	105
4.4.2	Plasarea pe baza tăieturii minime.....	109
4.4.3	Plasarea prin metoda călirii simulate.....	112
4.4.3.1	Aplicarea algoritmului de călire simulată pentru plasare .....	112
4.4.3.2	Algoritmul TimberWolf .....	112
4.4.4	Plasarea prin partiționare ierarhică .....	114
4.4.5	Plasarea prin metode numerice .....	117
4.4.6	Plasarea liniară prin metode spectrale.....	119
4.4.7	Alte metode iterative .....	124
4.4.7.1	Plasarea prin asignare quadratică .....	124
4.4.7.2	Plasarea pe baza optimizării rețelelor rezistive.....	124
4.4.7.3	Plasarea prin algoritmul Steinberg .....	125
4.4.7.4	Plasarea prin metoda spațiului grafurilor.....	125
4.4.7.5	Plasarea bazată pe operații cu linii și coloane.....	126
4.5	Metode neconvenționale de plasare.....	126
4.5.1	Plasarea prin algoritmi paraleli .....	126
4.5.2	Plasarea prin rețele neuronale artificiale .....	132
4.5.2.1	Concepte de bază ale rețelelor neuronale artificiale.....	132

4.5.2.2	Rețele neuronale Hopfield .....	137
4.5.2.3	Utilizarea rețelelor neuronale pentru plasare .....	139
<b>4.6</b>	<b>Algoritmi de plasare propuși pentru circuitele FPGA cu resurse limitate de rutare .....</b>	<b>141</b>
4.6.1	Algoritm de plasare pe baza tăieturii minime .....	141
4.6.1.1	Descrierea algoritmului de plasare.....	141
4.6.1.2	Secvența de aplicare a liniilor de tăietură.....	142
4.6.2	Algoritm genetic pentru plasarea circuitelor FPGA.....	143
4.6.2.1	Utilizarea algoritmilor genetici pentru plasare.....	144
4.6.2.2	Reprezentarea soluției.....	147
4.6.2.3	Operatori genetici .....	147
4.6.2.4	Selecția populației pentru generația următoare.....	149
4.6.2.5	Aspecte specifice pentru circuitele FPGA cu resurse limitate de rutare .....	149
4.6.3	Rezultate experimentale.....	151
<b>4.7</b>	<b>Concluzii.....</b>	<b>155</b>
<b>5.</b>	<b>RUTAREA CIRCUITELOR CU RESURSE LIMITATE DE RUTARE .....</b>	<b>157</b>
5.1	Introducere.....	157
5.2	Definirea problemei de rutare.....	157
5.3	Funcții de cost și restricții.....	158
5.3.1	Funcții de cost și restricții pentru rutarea globală.....	158
5.3.2	Funcții de cost și restricții pentru rutarea detaliată .....	159
5.4	Sinteza metodelor de rutare.....	160
5.4.1	Prezentarea sintetică a metodelor de rutare globală.....	160
5.4.2	Prezentarea sintetică a metodelor de rutare detaliată .....	163
5.5	Rutarea globală.....	164
5.5.1	Regiuni de rutare.....	164
5.5.1.1	Conversia joncțiunilor canalelor.....	164
5.5.1.2	Ordonarea canalelor .....	167
5.5.1.3	Reprezentarea regiunilor de rutare .....	167
5.5.2	Rutarea globală secvențială.....	168
5.5.2.1	Problema arborelui Steiner .....	169
5.5.2.2	Rutarea globală prin metoda parcurgerii labirintului .....	171
5.5.2.3	Rutarea globală utilizând arbori Steiner ponderați .....	173
5.5.2.4	Rutarea globală orientată pe performanțe .....	178
5.5.3	Rutarea globală prin metoda călirii simulate.....	181
5.5.4	Rutarea globală prin metoda programării întregi.....	183
5.6	Rutarea detaliată.....	185
5.6.1	Rutarea detaliată generală.....	185
5.6.1.1	Rutarea labirint.....	185
5.6.1.2	Rutarea prin metoda căutării liniilor .....	188
5.6.2	Rutarea prin canale .....	189
5.6.2.1	Definirea problemei de rutare prin canale .....	189
5.6.2.2	Grafuri de constrângeri.....	190
5.6.2.3	Algoritmul marginii din stânga.....	192
5.6.2.4	Algoritmii Yoshimura și Kuh .....	193
5.6.2.5	Alte metode de rutare prin canale .....	195
5.7	Rutarea circuitelor FPGA.....	197
5.7.1	Problema de rutare a circuitelor FPGA.....	197
5.7.2	Rutarea prin expandarea grafului .....	198
5.7.3	Rutarea pe baza grafurilor cu ponderi multiple.....	201
5.7.3.1	Metoda 1-Steiner iterată.....	202
5.7.3.2	Metoda Kou, Markowsky și Berman.....	204
5.7.3.3	Algoritm de rutare hibrid.....	205
5.7.3.4	Optimizarea simultană a obiectivelor multiple.....	206

5.8 Algoritm propus pentru rutarea circuitelor FPGA Atmel 6000 .....	207
5.8.1 Arhitectura de rutare a circuitelor FPGA Atmel 6000.....	208
5.8.2 Modelarea circuitului printr-un graf.....	209
5.8.3 Descrierea algoritmului de rutare .....	210
5.9 Concluzii .....	214
<b>6. SISTEM CAD PENTRU PROIECTAREA SISTEMELOR NUMERICE CU CIRCUITELE FPGA ATMEL.....</b>	<b>217</b>
6.1 Structura generală a sistemului CAD.....	217
6.2 Descrierea proiectului .....	218
6.3 Compilarea și optimizarea descrierilor .....	220
6.4 Generarea reprezentării interne .....	221
6.5 Maparea tehnologică .....	223
6.6 Plasarea celulelor .....	226
6.7 Rutarea circuitului .....	228
6.7 Concluzii .....	230
<b>7. CONCLUZII FINALE.....</b>	<b>231</b>
7.1 Sumarul tezei .....	231
7.2 Contribuțiile tezei .....	235
7.3 Dezvoltări posibile.....	236
<b>BIBLIOGRAFIE.....</b>	<b>237</b>