

CIRCUITE LOGICE SECVENȚIALE

1. Scopul lucrării

Lucrarea are ca scop cunoașterea funcționării unor circuite secvențiale importante și utilizarea acestor circuite în proiectarea unor mașini de stare. Sunt prezentate diferite circuite basculante bistabile (RS asincron, RS sincron, JK sincron, D sincron, T sincron), registre (de memorare, de deplasare, combinate, universale) și numărătoare (asincrone și sincrone).

2. Considerații teoretice

2.1. Prezentare generală a circuitelor secvențiale

Circuitele combinaționale implementează funcțiile esențiale ale unui calculator numeric. Aceste circuite se caracterizează prin faptul că starea ieșirilor depinde numai de starea intrărilor, și nu depinde de timp. Deci, cu excepția memoriilor ROM, circuitele combinaționale nu furnizează informații de memorie sau de stare, care sunt de asemenea elemente esențiale pentru funcționarea unui calculator numeric. În acest scop se utilizează circuitele secvențiale. Un circuit secvențial are memorie, adică ieșirile curente ale circuitului nu depind numai de intrările curente, ci și de intrările anterioare. Un alt mod de caracterizare a unui circuit secvențial este că ieșirile curente ale circuitului depind de intrările curente și de starea curentă a circuitului.

Structura generală a unui circuit secvențial este prezentată în Figura 4.1.

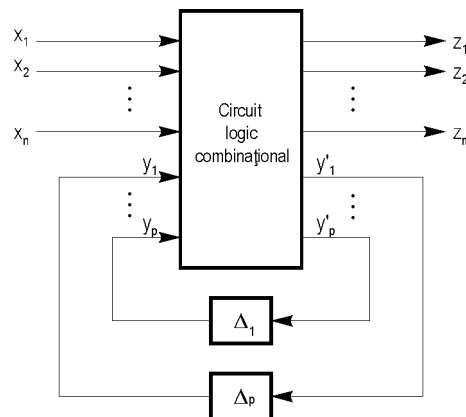


Figura 4.1. Structura generală a unui circuit secvențial.

Circuitul secvențial se compune dintr-un circuit combinațional, o parte a ieșirilor acestuia fiind conectate la intrările circuitului prin intermediul unor elemente de memorie (elemente de întârziere) $\Delta_1, \dots, \Delta_p$. Semnalele aplicate pe cele n intrări formează mulțimea $X = \{x_1, x_2, \dots, x_n\}$ a variabilelor de intrare, numite și *variabile de intrare principale*. Mulțimea formată din 2^n intrări distincte se numește *alfabet de intrare* I , $I = \{i_1, i_2, \dots, i_{2^n}\}$. De exemplu, pentru două variabile de intrare alfabetul de intrare este $I = \{00, 01, 10, 11\}$. O combinație a intrărilor se numește simbol al alfabetului.

Semnalele de ieșire formează mulțimea $Z = \{z_1, z_2, \dots, z_m\}$ a variabilelor de ieșire, numite și *variabile de ieșire principale*. Mulțimea formată din 2^m ieșiri distincte se numește *alfabet de ieșire* O , $O = \{O_1, O_2, \dots, O_{2^m}\}$.

Ieșirile secundare y_1', y_2', \dots, y_p' sunt conectate la intrare prin legături inverse și elementele de întârziere $\Delta_1, \dots, \Delta_p$, formând *intrările secundare* y_1, y_2, \dots, y_p ale circuitului secvențial. Valorile intrărilor secundare (y_1, y_2, \dots, y_p) la un moment de timp t definesc *starea internă prezentă* a circuitului. Mulțimea stărilor prezente este $Q = \{q_1, q_2, \dots, q_{2^p}\}$. Valorile ieșirilor secundare $(y_1', y_2', \dots, y_p')$ definesc *starea internă următoare* a circuitului. Mulțimea stărilor următoare este $Q' = \{q_1', q_2', \dots, q_{2^p}'\}$.

Considerând elemente de memorie ideale, a căror intrare prezentă constituie ieșirea la un moment de timp următor, și presupunând pentru simplificare $\Delta_1 = \Delta_2 = \dots = \Delta_p = \Delta$, starea următoare devine stare prezentă după intervalul de timp Δ :

$$\begin{aligned} y_1(t + \Delta) &= y_1'(t) \\ y_2(t + \Delta) &= y_2'(t) \\ &\vdots \\ y_p(t + \Delta) &= y_p'(t) \end{aligned} \quad (4.1)$$

Intervalul de timp Δ este determinat de întârzierile produse de elementele de întârziere special introduse pe legăturile inverse sau de întârzierile de propagare ale semnalelor de la intrări la ieșiri. Circuitele secvențiale de forma celui din Figura 4.1, la care starea următoare devine stare prezentă numai după un timp Δ , determinat de întârzierile interne ale circuitului combinațional, fără aplicarea unui semnal din exterior, se numesc circuite secvențiale *asincrone*.

Pentru a se descrie comportarea unui circuit secvențial, trebuie să se indice corespondența dintre starea prezentă pentru un anumit cuvânt de intrare și starea următoare. Presupunând că circuitul are o comportare deterministă, adică pentru un anumit cuvânt de intrare x_1, x_2, \dots, x_n și o anumită stare prezentă y_1, y_2, \dots, y_p există o singură tranziție posibilă într-o stare y_1', y_2', \dots, y_p' , rezultă *ecuațiile stării următoare* (tranziția stărilor):

$$\begin{aligned} y_1' &= f_1(x_1, x_2, \dots, x_n, y_1, y_2, \dots, y_p) \\ y_2' &= f_2(x_1, x_2, \dots, x_n, y_1, y_2, \dots, y_p) \\ &\vdots \\ y_p' &= f_p(x_1, x_2, \dots, x_n, y_1, y_2, \dots, y_p) \end{aligned} \quad (4.2)$$

Pentru descrierea completă a circuitului trebuie să se exprime ieșirile acestuia ca funcții de intrări și de starea prezentă, prin *ecuațiile ieșirilor* (tranziția ieșirilor):

$$\begin{aligned} z_1 &= g_1(x_1, x_2, \dots, x_n, y_1, y_2, \dots, y_p) \\ z_2 &= g_2(x_1, x_2, \dots, x_n, y_1, y_2, \dots, y_p) \\ &\vdots \\ z_m &= g_m(x_1, x_2, \dots, x_n, y_1, y_2, \dots, y_p) \end{aligned} \quad (4.3)$$

Deoarece alfabetul de intrare și cel de ieșire sunt mulțimi finite, formate din cel mult 2^n , respectiv 2^m simboluri, iar numărul de stări interne este finit, circuitul secvențial se numește *cu stări finite*, sau *mașină cu stări finite*, sau *mașină de stare*. Circuitele secvențiale descrise prin ecuații de forma (4.2) și (4.3) se numesc circuite secvențiale de tip Mealy, iar modelul lor matematic se numește *automat finit de tip Mealy*.

Există circuite secvențiale la care ieșirile nu depind de intrările principale, ci numai de cele secundare, adică de starea prezentă. În acest caz, ecuațiile ieșirilor devin:

$$\begin{aligned}
 z_1 &= g_1(y_1, y_2, \dots, y_p) \\
 z_2 &= g_2(y_1, y_2, \dots, y_p) \\
 &\vdots \\
 z_m &= g_m(y_1, y_2, \dots, y_p)
 \end{aligned}
 \tag{4.4}$$

Circuitele secvențiale descrise prin ecuațiile ieșirilor de forma (4.4) și ecuațiile stării următoare de forma (4.2) se numesc circuite secvențiale de tip Moore, iar modelul lor matematic se numește *automat finit de tip Moore*.

În cazul circuitelor combinaționale reale, ieșirile nu se modifică simultan cu intrările, ci după o anumită întârziere numită *timp de propagare* (t_p). Vectorul de ieșire va fi corect numai după acest timp de propagare. În intervalul de timp ($0 \dots t_p$) pot apare mai mulți vectori de ieșire, diferiți de cel corect. Acest fenomen se numește *hazard combinațional*. Hazardul se poate elimina prin adăugarea unei memorii la ieșirea circuitului combinațional, care preia datele numai la momente discrete de timp, mai mari decât t_p : $t = kT$ ($k = 1, 2, 3, \dots$). Aceasta se realizează prin comanda memoriei cu impulsuri de la un generator de tact, cu perioada T . Circuitele secvențiale la care starea următoare devine stare prezentă numai în momente determinate prin impulsuri de tact se numesc circuite secvențiale *sincrone*. Schema unui asemenea circuit este prezentată în Figura 4.2.

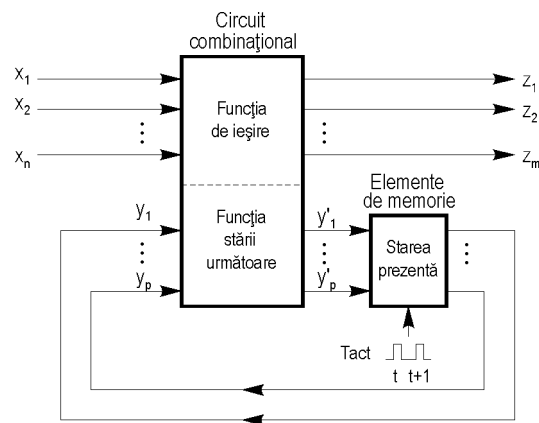


Figura 4.2. Circuit secvențial sincron.

Elementele de întârziere Δ s-au înlocuit cu elemente de memorie, care păstrează starea prezentă a circuitului. Legăturile inverse sunt întrerupte în lipsa impulsurilor de tact, fiind stabilite numai în prezența tactului. Durata impulsului de tact trebuie să fie suficient de scurtă, astfel încât legăturile inverse să fie întrerupte înainte ca ieșirile secundare ale circuitului să-și modifice starea conform cu valoarea intrărilor și starea în care a trecut circuitul în timpul impulsului de tact considerat. Astfel, toate stările circuitului secvențial sincron sunt stabile. Circuitul combinațional este divizat în două părți: prima corespunde funcției de ieșire, iar a doua corespunde funcției stării următoare.

Descrierea funcționării unui circuit secvențial se poate realiza în mai multe moduri: prin tabele de tranziții, grafuri de tranziții sau organigrame. Uneori se mai utilizează diagrame de timp ale semnalelor.

Tabelul de tranziții (sau tabelul stărilor) exprimă starea următoare și ieșirile în funcție de fiecare combinație a stărilor prezente și a simbolurilor de intrare, sub formă tabelară. Se reprezintă pe coloane simbolurile de intrare (2^n coloane) și pe linii stările prezente (2^p linii). La intersecția unei coloane corespunzătoare simbolului X_i cu linia corespunzătoare stării q_j se înscrie starea următoare dată de funcția f , și ieșirea dată de funcția g . În cazul unui automat Moore, la care ieșirile nu depind de intrările principale, acestea se trec într-o coloană separată. Stările sunt notate simbolic, prin litere (A, B, C, D, \dots), cifre, sau numere binare. Pentru 2^p stări sunt necesari p biți pentru codificare.

Presupunem un circuit secvențial cu patru stări, o variabilă de intrare principală și o ieșire. Circuitul este descris prin tabelul de tranziții din Tabelul 4.1.

Tabelul 4.1. Tabelul de tranziții al unui circuit secvențial (automat Mealy).

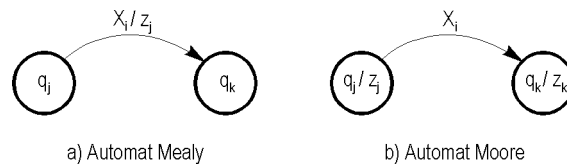
Q'		
Q	X = 0	X = 1
00	00 / 0	01 / 0
01	10 / 0	11 / 0
10	00 / 1	01 / 1
11	10 / 1	11 / 1

Deoarece ieșirile nu depind de intrări, circuitul corespunde unui automat Moore, iar tabelul de tranziții devine cel din Tabelul 4.2.

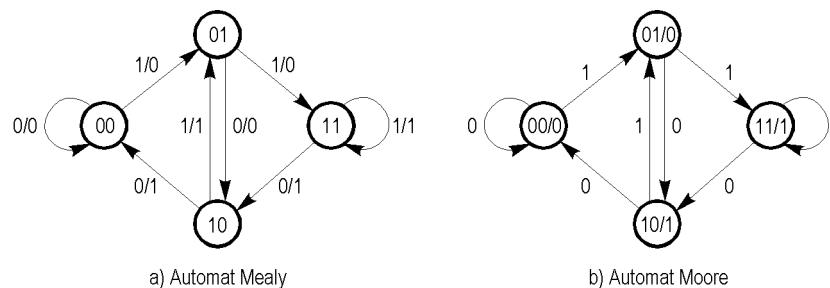
Tabelul 4.2. Tabelul de tranziții al unui automat Moore.

Q'			Z
Q	X = 0	X = 1	
00	00	01	0
01	10	11	0
10	00	01	1
11	10	11	1

Graful de tranziții (sau diagrama de stare) este o reprezentare grafică a modelului matematic. În nodurile grafului se reprezintă stările circuitului. Între două stări q_j și q_k există o linie marcată cu săgeată de la q_j la q_k , dacă, atunci când circuitul se află în starea q_j , există un simbol de intrare X_i pentru care circuitul trece în starea q_k și generează o ieșire z_j . X_i și z_j se notează pe linia de legătură. Reprezentarea unei tranziții într-o diagramă de stare pentru un automat Mealy și un automat Moore este ilustrată în Figura 4.3.

**Figura 4.3.** Reprezentarea unei tranziții într-o diagramă de stare.

Pentru exemplul precedent, diagramele de stare corespunzătoare modelelor Mealy și Moore sunt ilustrate în Figura 4.4.

**Figura 4.4.** Diagrame de stare: (a) automatul Mealy din Tabelul 4.1; (b) automatul Moore din Tabelul 4.2.

Organigrama este o altă reprezentare grafică a comportării unui circuit secvențial. O porțiune dintr-o organigramă este ilustrată în Figura 4.5. Dacă circuitul se află în starea q_j și se aplică la intrare simbolul X_i , circuitul trece în starea q_k și generează ieșirea z_k .

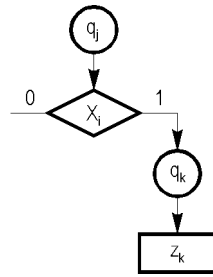


Figura 4.5. Fragment dintr-o organigramă.

Organigrama corespunzătoare automatului din exemplul precedent este prezentată în Figura 4.6.

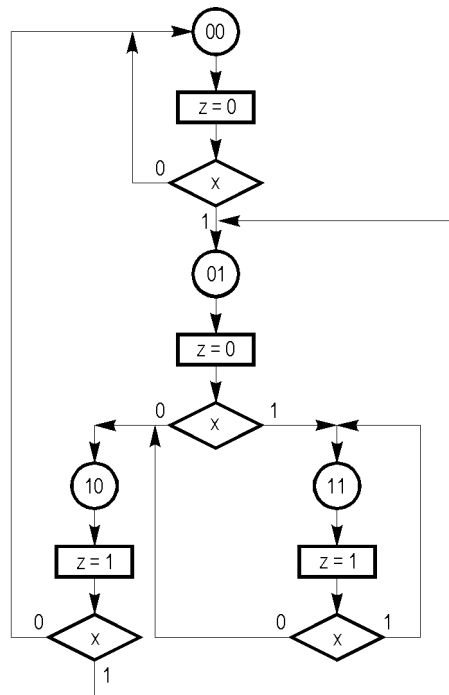


Figura 4.6. Organigrama automatului din Tabelul 4.2.

2.2. Circuite basculante bistabile

Cele mai simple circuite secvențiale sunt circuitele basculante bistabile. Există diferite tipuri de asemenea circuite, fiecare din acestea având două proprietăți importante:

- Un circuit basculant bistabil are numai două stări stabile. Stările stabile sunt stările în care circuitul poate rămâne un timp nedefinit dacă nu se modifică intrările. Astfel, un bistabil poate funcționa ca o memorie de 1 bit.
- Un bistabil are două ieșiri, care sunt întotdeauna complementare una față de cealaltă. Acestea se notează de obicei prin Q și \bar{Q} .

2.2.1. Bistabilul RS asincron

Bistabilul RS asincron constă din două porți SAU-NU conectate în modul indicat în Figura 4.7 a. Circuitul are două intrări, R (Reset) și S (Set), și două ieșiri, Q și \bar{Q} . Simbolul circuitului este indicat în Figura 4.7 b.

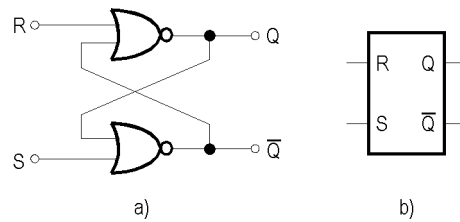


Figura 4.7. Bistabilul RS asincron realizat cu porți SAU-NU: (a) schema logică; (b) simbolul.

Pentru a arăta că circuitul are două stări stabile, presupunem că atât R cât și S sunt 0, iar Q este 0. Intrările porții SAU-NU de jos sunt $Q = 0$ și $S = 0$. Ieșirea acestei porți fiind $\bar{Q} = 1$, intrările porții SAU-NU de sus sunt $R = 0$ și $\bar{Q} = 1$, ieșirea fiind $Q = 0$. Astfel, starea circuitului rămâne stabilă cât timp $R = S = 0$. În mod similar se poate arăta că starea $Q = 1$, $\bar{Q} = 0$ este de asemenea stabilă pentru $R = S = 0$.

Acest circuit poate funcționa deci ca o memorie de 1 bit, iar ieșirea Q poate fi considerată ca valoare a bitului. Intrările S și R au rolul de a înscrie valoarea 1, respectiv 0, în memorie. Considerăm starea $Q = 0$, $\bar{Q} = 1$, $R = 0$, $S = 0$. Presupunem că S se modifică la valoarea 1. Intrările porții SAU-NU de jos vor fi atunci $Q = 0$, $S = 1$. După o anumită întârziere Δ , ieșirea porții SAU-NU de jos va fi $\bar{Q} = 0$. În acest moment, intrările porții SAU-NU de sus devin $R = 0$, $\bar{Q} = 0$. După o altă întârziere Δ , ieșirea Q devine 1. Aceasta este de asemenea o stare stabilă. Intrările porții SAU-NU de jos devin acum $Q = 1$, $S = 1$, ceea ce menține ieșirea $\bar{Q} = 0$. Cât timp $R = 0$ și $S = 1$, ieșirile rămân $Q = 1$, $\bar{Q} = 0$. Mai mult, dacă S revine la 0, ieșirile rămân neschimbate.

Atunci când R devine 1, ieșirile vor fi forțate la $Q = 0$, $\bar{Q} = 1$, indiferent de starea precedentă. Din nou, este necesară o întârziere de 2Δ înainte ca starea circuitului să devină stabilă.

Deci, intrarea S are rolul de a aduce circuitul în starea stabilă 1, iar intrarea R are rolul de a aduce circuitul în starea stabilă 0. Timpul cât S , respectiv R trebuie menținute la nivelul 1 logic pentru ca circuitul să poată fi adus în starea 0, respectiv 1, trebuie să fie cel puțin egal cu întârzierea 2Δ . Intrările R și S sunt asincrone, deoarece ele nu acționează condiționat de un semnal de sincronizare. De aceea, acest bistabil este un bistabil RS asincron.

Combi-nația $RS = 11$ nu este permisă, pe de o parte pentru că ieșirile sunt în acest caz ambele 0 (nu sunt complementare), iar pe de altă parte nu se poate determina starea în care va comuta bistabilul la modificarea următoare a unei intrări.

Notând cu Q_n starea actuală a bistabilului și cu Q_{n+1} starea sa următoare, determinată de semnalele de pe intrări, se poate întocmi un tabel de adevăr, care definește starea următoare Q_{n+1} în funcție de starea actuală Q_n și de intrări. Acest tabel se numește *tabel caracteristic* (Tabelul 4.3).

Tabelul 4.3. Tabelul caracteristic al bistabilului RS realizat cu porți SAU-NU.

R	S	Q_n	Q_{n+1}
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	?
1	1	1	?

Prin ? s-a indicat o stare nedefinită. Acest tabel poate fi exprimat într-un mod mai compact. Tabelul caracteristic simplificat este prezentat în Tabelul 4.4.

Tabelul 4.4. Tabelul caracteristic simplificat al bistabilului RS realizat cu porți SAU-NU.

R	S	Q_{n+1}
0	0	Q_n
0	1	1
1	0	0
1	1	?

Dacă se impune condiția $RS \neq 11$, sau $RS = 0$, nedeterminările nu pot apare, deci combinația $RS = 11$ se poate considera ca interzisă (redundantă). Rezultă diagrama Karnaugh din Figura 4.8 a, și sub formă simplificată, diagrama din Figura 4.8 b.

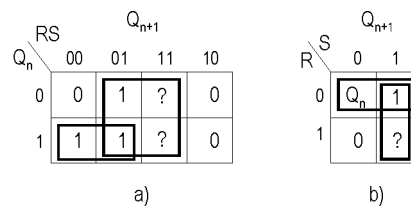


Figura 4.8. Diagramele Karnaugh ale bistabilului RS realizat cu porți SAU-NU.

Pe baza diagramei Karnaugh rezultă următoarea ecuație de stare, numită și ecuație caracteristică:

$$Q_{n+1} = S + \bar{R} Q_n \quad (4.5)$$

cu condiția:

$$R S = 0 \quad (4.6)$$

Tabelul excitațiilor definește combinațiile care trebuie aplicate la intrările bistabilului pentru ca acesta să treacă dintr-o anumită stare într-o altă stare precizată. Acest tabel este prezentat în Tabelul 4.5.

Tabelul 4.5. Tabelul excitațiilor pentru bistabilul RS realizat cu porți SAU-NU.

Q_n	Q_{n+1}	R	S
0	0	X	0
0	1	0	1
1	0	1	0
1	1	0	X

În Tabelul 4.5, pe coloana corespunzătoare intrărilor R și S s-a înscris valoarea 0 sau 1, atunci când una din aceste valori este obligatorie pentru tranziția respectivă, sau X, atunci când valoarea este indiferentă. De exemplu, atunci când starea prezentă a bistabilului este 0 și starea următoare trebuie să fie tot 0, este obligatoriu ca S să fie 0, dar R poate fi 0 sau 1.

În mod similar se poate realiza un bistabil RS cu porți ȘI-NU. În acest caz, intrările de date sunt active în starea logică 0. Schema logică a acestui bistabil este prezentată în Figura 4.9.

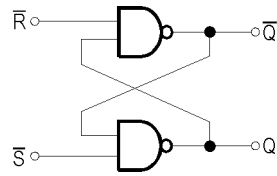


Figura 4.9. Schema logică a bistabilului RS asincron realizat cu porți ȘI-NU.

Combinăția de intrare $\bar{R}\bar{S} = 11$ nu produce comutarea circuitului. Dacă $\bar{R}\bar{S} = 01$ (se aplică nivelul logic 0 pe intrarea \bar{R}), bistabilul trece în starea 0 ($Q = 0$), iar dacă $\bar{R}\bar{S} = 10$ (se aplică nivelul logic 0 pe intrarea \bar{S}), bistabilul trece în starea 1 ($Q = 1$). Combinăția de intrare $\bar{R}\bar{S} = 00$ produce trecerea într-o stare nepermisă $Q = \bar{Q} = 1$, și o nedeterminare la modificările ulterioare ale intrărilor. De aici rezultă tabelul caracteristic (Tabelul 4.6).

Tabelul 4.6. Tabelul caracteristic al bistabilului RS realizat cu porți ȘI-NU.

\bar{R}	\bar{S}	Q_n	Q_{n+1}
0	0	0	?
0	0	1	?
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

Și în acest caz se poate întocmi un tabel caracteristic simplificat (Tabelul 4.7).

Tabelul 4.7. Tabelul caracteristic simplificat al bistabilului RS realizat cu porți ȘI-NU.

\bar{R}	\bar{S}	Q_{n+1}
0	0	?
0	1	0
1	0	1
1	1	Q_n

Dacă se ține cont de combinația interzisă $\bar{R}\bar{S} = 00$, rezultă diagrama Karnaugh din Figura 4.10 a, și sub formă simplificată, diagrama din Figura 4.10 b.

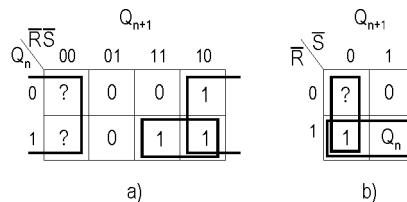


Figura 4.10. Diagramele Karnaugh ale bistabilului RS realizat cu porți ȘI-NU.

Din diagramele Karnaugh rezultă ecuația:

$$Q_{n+1} = \bar{\bar{S}} + \bar{R} Q_n = S + \bar{R} Q_n$$

care este aceeași cu ecuația (4.5), cu condiția $\overline{R} + \overline{S} = 1$, sau $RS = 0$.

2.2.2. Bistabilul RS sincron

În practică, este necesar să se realizeze bistabile la care comutarea se realizează numai după ce semnalele de intrare au devenit stabile, evitându-se astfel comutarea greșită datorită unor tranziții ale acestor semnale care nu pot fi controlate (de exemplu, din cauza unor zgomote). În acest scop, trebuie ca semnalele care determină modul de comutare al circuitului să fie distincte de cele care determină momentul comutării, spre deosebire de bistabilele asincrone, la care atât modul de comutare, cât și momentul acesteia sunt determinate de semnalele de intrare. Asemenea circuite sunt bistabilele sincrone, la care intrările de date sunt condiționate de o intrare de tact (ceas).

Pentru a obține un bistabil RS sincron dintr-unul asincron, realizat, de exemplu, cu porți ȘI-NU, se pune condiția ca intrările circuitului asincron, notate cu R_1 și S_1 , să fie active numai în prezența unui impuls de tact CLK :

$$\begin{aligned} R_1 &= R \cdot CLK \\ S_1 &= S \cdot CLK \end{aligned} \quad (4.7)$$

unde R, S sunt intrările circuitului sincron.

Deoarece în cazul bistabilului RS asincron intrările sunt active pe nivelul logic 0, complementând ecuațiile (4.7) rezultă:

$$\begin{aligned} \overline{R_1} &= \overline{R \cdot CLK} \\ \overline{S_1} &= \overline{S \cdot CLK} \end{aligned} \quad (4.8)$$

Schema logică a circuitului rezultat este prezentată în Figura 4.11 a, iar simbolul bistabilului este prezentat în Figura 4.11 b.

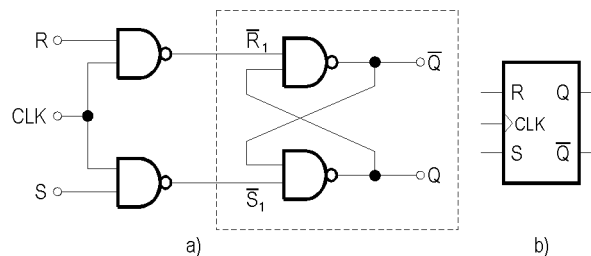


Figura 4.11. Bistabilul RS sincron realizat cu porți ȘI-NU: (a) schema logică; (b) simbolul.

Cât timp $CLK = 0$, semnalele $\overline{R_1}, \overline{S_1}$ de la intrarea bistabilului de bază nu pot deveni active. Dacă apare un impuls de tact $CLK = 1$, semnalele R, S acționează pe intrările bistabilului de bază, efectul lor fiind similar cu cel al semnalelor $\overline{R}, \overline{S}$ de la bistabilul asincron ($R = 0, S = 1$ determină $Q = 1$, iar $R = 1, S = 0$ determină $Q = 0$).

Deci, semnalul CLK delimitează intervalul în care semnalele R și S pot modifica starea bistabilului. Dacă se impune condiția ca pe durata impulsului de tact ($CLK = 1$) semnalele R și S să fie stabile, tranziția lor fiind permisă numai atunci când $CLK = 0$, comutarea bistabilului va fi condiționată numai de apariția impulsului de tact. Acesta este cazul circuitelor bistabile, care comută în timpul tranziției tactului de la 0 la 1 (pe frontul anterior, numit și front crescător sau pozitiv), sau de la 1 la 0 (pe frontul posterior, numit și front descrescător sau negativ). Există și circuite care își modifică ieșirea în perioada în care semnalul de tact este 1. Acestea se numesc circuite *latch*. Deci, bistabilele comută pe front, în timp ce circuitele *latch* comută pe nivel.

Funcționarea bistabilului RS sincron poate fi descrisă prin tabelul caracteristic al bistabilului de bază realizat cu porți SAU-NU, ecuația caracteristică fiind aceeași (4.5). Q_n este starea înainte aplicării impulsului de tact, iar Q_{n+1} este starea după aplicarea acestuia.

În mod similar se poate realiza un bistabil RS sincron cu porți SAU-NU, funcționarea fiind aceeași, cu deosebirea că intrările de date \bar{R} , \bar{S} sunt active pe nivelul 0 logic, iar comutarea se produce la trecerea semnalului de tact din 1 în 0 logic.

În general, bistabilele sincrone sunt prevăzute și cu intrări prioritare asincrone, care comută starea bistabilului indiferent de intrările de date și de tact: \overline{PRESET} are rolul de a aduce bistabilul în starea 1, iar \overline{CLEAR} are rolul de a aduce bistabilul în starea 0.

2.2.3. Bistabilul JK sincron

Bistabilul JK sincron se obține din bistabilul RS sincron prin modificarea structurii acestuia, astfel încât să se elimine starea de nedeterminare ce apare datorită combinației de intrare $RS = 11$. Bistabilul JK este realizat astfel încât pentru această combinație a intrărilor va comuta în starea complementară, la apariția impulsului de tact. Intrările acestui bistabil se notează cu J și K , acestea corespunzând intrărilor S , respectiv R ale bistabilului RS din care se obține.

Tabelul caracteristic simplificat este prezentat în Tabelul 4.8.

Tabelul 4.8. Tabelul caracteristic simplificat al bistabilului JK.

J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	\bar{Q}_n

Diagrama Karnaugh corespunzătoare este prezentată în Figura 4.12.

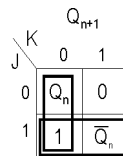


Figura 4.12. Diagrama Karnaugh simplificată a bistabilului JK.

Rezultă ecuația de stare:

$$Q_{n+1} = J \bar{Q}_n + \bar{K} Q_n \quad (4.9)$$

Tabelul 4.9. Tabelul de adevăr pentru determinarea expresiilor R , S în funcție de J , K , Q_n .

J	K	Q_n	Q_{n+1}	R	S
0	0	0	0	X	0
0	0	1	1	0	X
0	1	0	0	X	0
0	1	1	0	1	0
1	0	0	1	0	1
1	0	1	1	0	X
1	1	0	1	0	1
1	1	1	0	1	0

Pentru ca starea următoare să corespundă acestei ecuații, la intrările R, S ale bistabilului RS sincron trebuie să se aplice anumite semnale. În continuare determinăm expresiile acestor semnale (ecuațiile intrărilor bistabilului RS) în funcție de intrările J, K și starea Q_n . Tabelul de adevăr în care se exprimă Q_{n+1} în funcție de J, K și Q_n se completează cu două coloane corespunzătoare intrărilor R, S , care se completează pe baza tabelii de excitație a bistabilului RS (Tabelul 4.9).

Diagramele Karnaugh pentru semnalele R și S sunt prezentate în Figura 4.13.

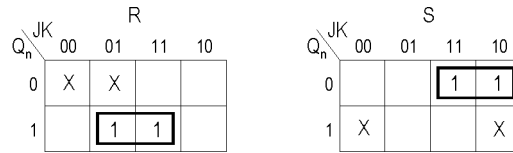


Figura 4.13. Diagramele Karnaugh pentru determinarea semnalelor R, S de la intrarea bistabilului RS din care se obține bistabilul JK.

Ecuațiile pentru R și S sunt următoarele:

$$\begin{aligned} R &= K Q_n \\ S &= J \overline{Q_n} \end{aligned} \tag{4.10}$$

De aici rezultă prima formă a circuitului (Figura 4.14).

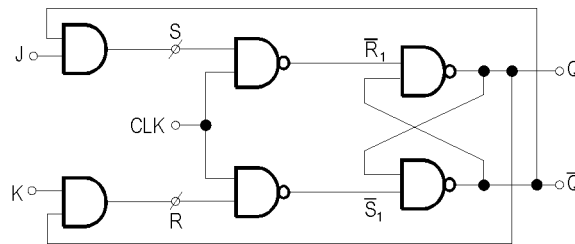


Figura 4.14. Prima formă a schemei bistabilului JK sincron.

Ținând cont de proprietatea de asociativitate a funcției ȘI logic, se poate scrie:

$$\begin{aligned} \overline{(J\overline{Q}) \cdot CLK} &= \overline{J\overline{Q} \cdot CLK} \\ \overline{(KQ) \cdot CLK} &= \overline{KQ \cdot CLK} \end{aligned} \tag{4.11}$$

Rezultă schema logică finală a bistabilului JK din Figura 4.15 a, simbolul bistabilului fiind indicat în Figura 4.15 b.

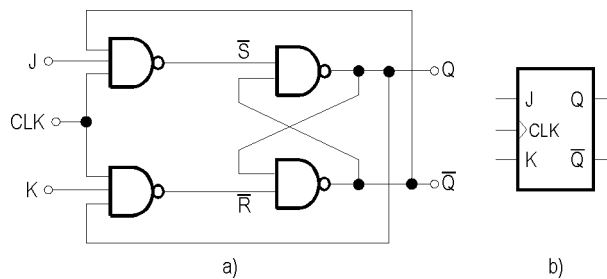


Figura 4.15. Bistabilul JK sincron: (a) schema logică; (b) simbolul.

Tabelul excitațiilor este prezentat în Tabelul 4.10.

Tabelul 4.10. Tabelul excitațiilor pentru bistabilul JK.

Q_n	Q_{n+1}	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

Dacă ambele intrări sunt 1 logic, $JK = 11$, presupunând că bistabilul se află în starea $Q = 1$, va trece în starea $Q = 0$. Dacă semnalul de tact persistă, \bar{S} devine 0, iar \bar{R} devine 1, ceea ce va determina, din nou, comutarea bistabilului, în starea $Q = 1$. Deci, pe durata semnalului de tact ($CLK = 1$), și cu intrările $JK = 11$, circuitul oscilează. Pentru a exista o singură comutare, durata impulsului de tact trebuie să fie mai mică decât timpul de propagare a semnalului prin două porți, și mai mare decât timpul de propagare a semnalului printr-o poartă. Această deficiență este eliminată la bistabilul JK *Master-Slave*.

Utilizarea bistabilului JK sincron la proiectarea circuitelor secvențiale este avantajoasă datorită numeroaselor situații redundante pentru circuitul combinațional care determină condiționarea intrărilor (după cum rezultă din tabelul excitațiilor), ceea ce conduce la soluții mai economice.

2.2.4. Bistabilul D sincron

Este un bistabil cu o singură intrare de date, notată cu D , și o intrare de tact. Starea următoare a bistabilului este aceeași cu cea a intrării D , indiferent de starea prezentă. Deci, valoarea logică aplicată la intrare se transferă la ieșire doar la aplicarea semnalului de tact, adică cu o întârziere de o perioadă de tact. De aceea, bistabilul D se mai numește circuit elementar de întârziere ($D - Delay$).

Tabelul caracteristic este prezentat în Tabelul 4.11.

Tabelul 4.11. Tabelul caracteristic al bistabilului D.

D	Q_n	Q_{n+1}
0	0	0
0	1	0
1	0	1
1	1	1

Rezultă diagrama Karnaugh din Figura 4.16.

		Q_{n+1}	
	D	0	1
Q_n	0	0	1
	1	0	1

Figura 4.16. Diagrama Karnaugh a bistabilului D.

Ecuția de stare este:

$$Q_{n+1} = D \quad (4.12)$$

Tabelul 4.12 este tabelul de excitație al bistabilului D.

Tabelul 4.12. Tabelul excitațiilor pentru bistabilul D.

Q_n	Q_{n+1}	D
0	0	0
0	1	1
1	0	0
1	1	1

Pe durata impulsului de tact, ieșirea bistabilului este egală cu intrarea (deci, ieșirea urmărește intrarea). La trecerea semnalului de tact în 0 logic, se menține starea existentă în acel moment. De aceea, acesta este un circuit *latch*.

Există și bistabile D care comută pe frontul pozitiv sau negativ al semnalului de tact.

2.2.5. Bistabilul T sincron

Este un bistabil cu o singură intrare de date, care comută în starea complementară la aplicarea unui impuls de tact, dacă intrarea T (*Trigger* – a declanșa) se află la nivelul 1 logic. Tabelul caracteristic este prezentat în Tabelul 4.13.

Tabelul 4.13. Tabelul caracteristic al bistabilului T.

T	Q_{n+1}
0	Q_n
1	$\overline{Q_n}$

Ecuția caracteristică este:

$$Q_{n+1} = \overline{Q_n} T + Q_n \overline{T} = Q_n \oplus T \quad (4.13)$$

Tabelul excitațiilor este prezentat în Tabelul 4.14.

Tabelul 4.14. Tabelul excitațiilor pentru bistabilul T.

Q_n	Q_{n+1}	T
0	0	0
0	1	1
1	0	1
1	1	0

2.2.6. Bistabile de tip Master-Slave

Circuitele bistabile sincrone care comută pe durata impulsului de tact (pe nivel) au dezavantajul că ele funcționează asincron pe durata impulsului de tact, deci comutarea este condiționată nu numai de acest impuls, ci și de modificarea intrărilor de date. Pentru a se realiza o comutare sincronizată de către semnalul de tact, trebuie ca intrările de date să se modifice în afara palierului activ al tactului.

Pentru un bistabil sincron, timpul de propagare trebuie să fie mai mare decât durata impulsului de tact, după cum s-a arătat la bistabilul JK sincron. Este necesar să se realizeze o funcționare corectă, independent de durata impulsului de tact și de timpul de propagare, elemente care sunt greu de controlat. Reducerea duratei impulsului de tact în funcție de timpul de propagare nu este o soluție acceptabilă. De aceea, trebuie să se modifice schema bistabilului astfel încât înscrierea informației să se realizeze la apariția impulsului de tact, dar ea să nu apară la ieșire decât după dispariția impulsului, deci după frontul posterior al acestuia.

Pentru a determina o comutare pe frontul posterior, se poate utiliza o structură de tip *Master-Slave* (M/S). Un bistabil M/S este format din două bistabile, dintre care primul, numit *Master*, memorează informația de la intrare la frontul anterior al impulsului de tact, iar bistabilul al doilea, numit *Slave*, memorează starea prezentă pe durata impulsului de tact, iar la frontul posterior trece în starea în care se află bistabilul *Master* care îl comandă.

Toate bistabilele se pot realiza în structura M/S. De exemplu, schema de principiu al unui bistabil RS de tip M/S este prezentată în Figura 4.17.

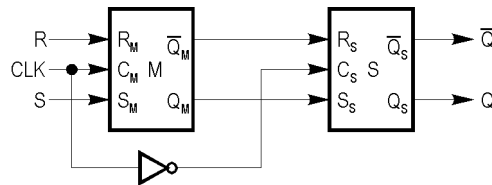


Figura 4.17. Schema de principiu a unui bistabil RS *Master-Slave*.

La apariția unui impuls de tact ($CLK = 1$), bistabilul M comută conform cu intrările R, S , oricând pe durata impulsului de tact. În acest timp, $CLK_S = 0$, deci starea bistabilului S nu se poate modifica, bistabilul S fiind izolat de bistabilul M. La frontul posterior al impulsului de tact, bistabilul M se blochează, și se deschide accesul la bistabilul S ($CLK_S = 1$), acesta comutând conform stării bistabilului M din acel moment.

Pe toată perioada în care $CLK = 0$, starea bistabilului S nu se poate modifica, deoarece ieșirile Q_M, \bar{Q}_M ale bistabilului M sunt stabile ($CLK_M = 0$). Comutarea ieșirilor nu se produce decât imediat după frontul negativ al impulsului de tact, deci într-un moment determinat exclusiv de acest impuls. Deci, ieșirea este izolată față de tranzițiile intrărilor R și S .

Circuitele bistabile de tip M/S au avantajul că funcționează corect pentru orice formă a impulsului de tact, deci durata fronturilor acestui semnal poate fi oricât de mare.

2.2.7. Circuite basculante bistabile integrate

În Figura 4.18 se prezintă unele circuite bistabile integrate.

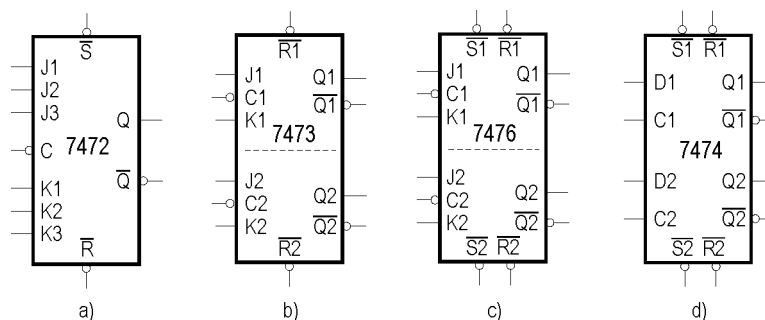


Figura 4.18. Exemple de circuite basculante bistabile integrate: (a) 7472; (b) 7473; (c) 7476; (d) 7474.

- 7472: Un bistabil JK *Master/Slave*, care comută pe frontul posterior (Figura 4.18 a). Intrările J și K au ecuațiile: $J = J1 \cdot J2 \cdot J3$, $K = K1 \cdot K2 \cdot K3$. Intrările \bar{S} (*Set*) și \bar{R} (*Reset*) sunt intrări asincrone pentru aducerea în starea 1, respectiv în starea 0.
- 7473: Două bistabile JK *Master/Slave*, cu comutare pe frontul posterior (Figura 4.18 b).
- 7476: Două bistabile JK *Master/Slave*, cu comutare pe frontul posterior, cu intrări separate pentru setare și resetare ($\bar{S1}, \bar{R1}$, respectiv $\bar{S2}, \bar{R2}$) (Figura 4.18 c).
- 7474: Două bistabile D acționate pe frontul anterior (Figura 4.18 d).

2.3. Sinteza circuitelor secvențiale

Sinteza unui circuit secvențial constă în construirea schemei logice care să realizeze comportarea cerută a circuitului. Etapele principale care trebuie parcurse pentru această sinteză sunt următoarele:

1. Pe baza descrierii circuitului se construiește o diagramă de stare sau un tabel al stărilor. În această etapă, stările sunt notate de obicei prin litere sau cifre zecimale.
2. Se elimină eventualele stări redundante din diagrama de stare sau tabelul stărilor. Această etapă constă în determinarea unor stări echivalente și înlocuirea lor cu o singură stare. Două stări sunt echivalente dacă au aceleași simboluri de intrare, le corespund aceleași simboluri de ieșire, și ambele au pentru fiecare simbol de intrare aceleași stări următoare.
3. Se determină numărul de bistabile necesare, în funcție de numărul stărilor. Dacă s este numărul stărilor, numărul de bistabile necesare va fi: $n = \lceil \log_2 s \rceil$. Se codifică apoi stările, prin asignarea unui număr binar unic fiecărei stări.
4. Se alege un tip de bistabil pentru implementare, și pe baza tabelului de excitație al bistabilului ales, se întocmește un tabel pentru determinarea funcțiilor de intrare ale bistabilelor și a ieșirilor circuitului secvențial. Bistabilele vor implementa funcția stării următoare, atunci când pe intrările acestora se aplică funcțiile de intrare determinate.
5. Se determină ecuațiile intrărilor bistabilelor și ecuațiile ieșirilor circuitului. Se realizează minimizarea ecuațiilor utilizând diagramele Karnaugh, în funcție de intrările circuitului și de starea prezentă.
6. Pe baza ecuațiilor determinate, se întocmește schema logică a circuitului secvențial.

Exemplu

Se va exemplifica procesul de sinteză a circuitelor secvențiale prin proiectarea unui circuit pentru complementarea față de 2 a unui șir de biți. Circuitul are o intrare serială la care recepționează un șir de biți, primul fiind bitul c.m.p.s., și o ieșire serială, ieșirea fiind complementul față de 2 al șirului de biți de la intrare. Implementarea se va realiza cu bistabile JK.

În prima etapă se întocmește diagrama de stare a circuitului. Complementul față de 2 se poate genera prin copierea biților de la intrare, începând cu bitul c.m.p.s. până la primul bit de 1 inclusiv, și complementarea următorilor biți. De exemplu:

intrare x	1 0 1 1 0 1 0 0
ieșire z	0 1 0 0 1 1 0 0

Pentru acest circuit secvențial, sunt necesare două stări. În prima stare, notată cu A , biții de la intrare sunt copiați nemodificați, până la întâlnirea primului bit de 1. În acest moment se trece în starea a doua, notată cu B , în care biții de la intrare sunt complementați. Diagrama de stare este prezentată în Figura 4.19.

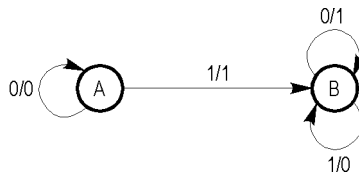


Figura 4.19. Diagrama de stare pentru circuitul de complementare față de 2.

Eliminarea stărilor redundante nefiind necesară, se trece la etapa următoare, în care se determină numărul de bistabile și se codifică stările. Deoarece există numai două stări, este necesar un sin-

gur bistabil. Ieșirea acestui bistabil reprezintă cele două stări. Aceste stări se pot codifica printr-un singur bit. Se asignează valoarea 0 pentru starea A și valoarea 1 pentru starea B .

În etapa următoare se întocmește tabelul pentru determinarea funcțiilor de intrare ale bistabililor și a ieșirilor circuitului, considerând toate combinațiile posibile ale intrărilor și ale stărilor. Pe baza tabelului de excitație a bistabilului JK, se poate întocmi Tabelul 4.15. Prin SP s-a notat starea prezentă, iar prin SU starea următoare.

Tabelul 4.15. Tabelul pentru determinarea funcțiilor de intrare ale bistabilului și a ieșirii circuitului.

Intrare X	SP Q	SU Q	Intr. bistab. $J K$	Ieșire Z
0	0	0	0 X	0
0	1	1	X 0	1
1	0	1	1 X	1
1	1	1	X 0	0

În etapa următoare se determină ecuațiile pentru intrările bistabilului și pentru ieșirea circuitului. Diagramele Karnaugh sunt prezentate în Figura 4.20.

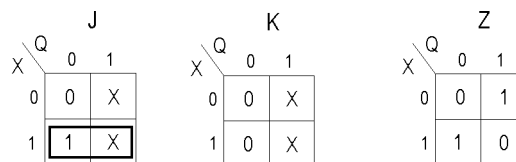


Figura 4.20. Diagramele Karnaugh pentru circuitul de complementare față de 2.

Rezultă ecuațiile următoare:

$$\begin{aligned}
 J &= X \\
 K &= 0 \\
 Z &= X\bar{Q} + \bar{X}Q = X \oplus Q
 \end{aligned}
 \tag{4.14}$$

În etapa finală, se desenează schema logică a circuitului (Figura 4.21).

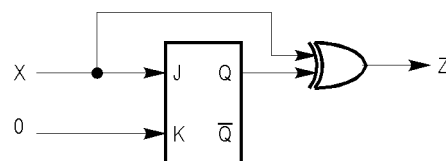


Figura 4.21. Schema logică a circuitului de complementare față de 2.

2.4. Registre

Registrele sunt circuite secvențiale destinate memorării temporare sau deplasării informației binare, de obicei cu lungimea unui cuvânt. Un registru este format din elemente de memorie binară, în particular din bistabile, cărora li se atașează circuite logice care permit efectuarea unor operații asupra informației: încărcarea, deplasarea, citirea, înscrierea. Fiecare bistabil memorează un bit al cuvântului, deci capacitatea registrului este egală cu numărul de bistabile din care este format. Tipul bistabilelor din registru determină, prin modul de comutare a acestora, felul în care informația este înscrisă în registru.

Există diferite tipuri de registre: registre de memorare (de tip paralel), registre de deplasare (de tip serie), registre combinate (de memorare și deplasare, de tip serie-paralel), și registre universale. Acestea sunt prezentate în continuare.

2.4.1. Registre de memorare

Se utilizează pentru păstrarea informației care trebuie transferată către o anumită destinație. Funcționează ca un tampon de ieșire. Un exemplu de asemenea registru de 4 biți, format din 4 bistabile de tip D (*latch*), comandate de același semnal de tact, se prezintă în Figura 4.22.

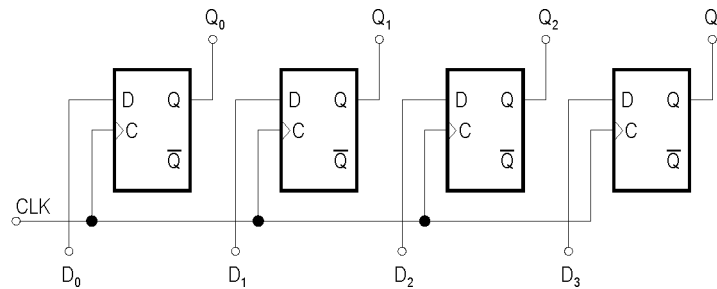


Figura 4.22. Registru de memorare de 4 biți realizat cu bistabile D.

La tranziția din 0 în 1 a semnalului de tact, informația de pe intrările D_0, D_1, D_2, D_3 este citită în registru, iar după un timp de propagare ea apare la ieșirile Q ale bistabilelor. Pe durata palierului impulsului de tact, ieșirile urmăresc modificarea semnalelor de pe intrări. La tranziția din 1 în 0 a semnalului de tact, ultima informație prezentă la intrările bistabilelor este reținută în registru.

Semnalul de tact are rolul de a valida informația prezentă la intrările bistabilelor. Datele sunt încărcate în registru în paralel, la același impuls de tact.

Dacă registru este realizat cu bistabile D care comută pe frontul anterior al impulsului de tact, se memorează informația existentă în momentul tranziției din 0 în 1 a semnalului de tact. Dacă se utilizează bistabile de tip M/S, conținutul acestora poate fi citit simultan cu înscrierea unei noi informații, mărind astfel viteza de lucru.

Exemple de registre integrate:

- 7475: Registru de 4 biți, format din 4 bistabile D de tip *latch*;
- 74118: Registru format din 6 bistabile RS;
- 74279: Registru format din 4 bistabile RS.

2.4.2. Registre de deplasare

Aceste registre își deplasează conținutul cu o poziție la dreapta sau la stânga, la fiecare impuls de tact. Se pot realiza cu bistabile de tip M/S sau cu bistabile care comută pe frontul anterior al impulsului de tact.

Un exemplu de registru de deplasare la dreapta realizat cu bistabile de tip JK M/S, conectate pentru a funcționa ca bistabile de tip D, se prezintă în Figura 4.23.

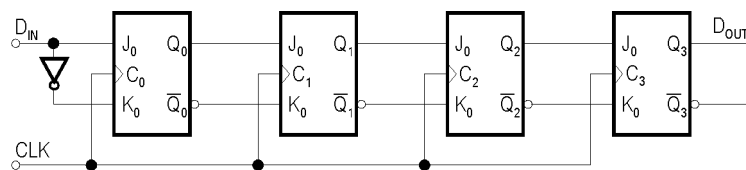


Figura 4.23. Registru de deplasare la dreapta realizat cu bistabile JK *Master-Slave*.

La fiecare impuls de tact, pe frontul posterior al acestuia, conținutul bistabilului Q_i (*slave*) se transferă în bistabilul Q_{i+1} (*master*). În bistabilul Q_0 se introduce informația din exterior, iar informația din bistabilul Q_3 se pierde. Se pot scrie ecuațiile:

$$\begin{aligned} Q_0(t+1) &= D_{IN}(t) \\ Q_1(t+1) &= Q_0(t) \\ Q_2(t+1) &= Q_1(t) \\ Q_3(t+1) &= Q_2(t) \end{aligned} \quad (4.15)$$

Similar se poate realiza un registru de deplasare la stânga, dacă se conectează ieșirea bistabilului Q_{i+1} la intrarea bistabilului Q_i . Dacă se adaugă circuite suplimentare, se pot realiza registre de deplasare la dreapta sau la stânga, în funcție de un semnal de comandă.

2.4.3. Registre serie-paralel (combinat)

Registrele anterioare permiteau fie numai accesul paralel (registru de memorare), fie numai accesul serie (registru de deplasare) la date, atât la intrare, cât și la ieșire. De multe ori este util să existe atât accesul serie, cât și accesul paralel la date. Un asemenea registru poate realiza atât funcția de memorare, cât și cea de deplasare, fiind numit registru combinat.

Deoarece informația poate fi introdusă în modul paralel și extrasă în modul serie, sau introdusă în modul serie și extrasă în modul paralel, aceste registre permit conversia paralel-serie, respectiv serie-paralel a datelor.

Un exemplu de registru serie-paralel de 4 biți este circuitul 7495, care permite încărcarea paralelă a datelor și deplasarea la dreapta, cu posibilitatea realizării deplasării la stânga prin conexiuni externe. Registrul este format din 4 bistabile RS de tip M/S comandate pe frontul posterior. Dispune de intrările paralele A, B, C, D , ieșirile paralele Q_A, Q_B, Q_C, Q_D , și intrarea serie SI (*Serial Input*). Semnalul MC (*Mode Control*) realizează controlul modului de lucru.

Bistabilele RS, conectate ca bistabile D, primesc datele la intrare din două surse: de la intrarea serială sau bistabilul anterior (pentru deplasarea serie), respectiv intrările paralele (pentru încărcarea paralelă). Cele două surse trebuie multiplexate la intrarea fiecărui bistabil, motiv pentru care fiecărui bistabil i s-a atașat o structură combinațională formată din două porți ȘI, și o poartă SAU-NU, structură echivalentă cu un multiplexor 2:1.

Dacă $MC = 0$, se conectează intrarea serială sau ieșirea fiecărui bistabil la intrarea următorului, ceea ce permite efectuarea deplasării la dreapta, prin aplicarea impulsului de tact la intrarea C_1 . Informația se introduce la intrarea SI și se obține la ieșirea Q_D . Dacă $MC = 1$, se înscriu datele în registru de la intrările paralele A, B, C, D , prin aplicarea impulsului de tact la intrarea C_2 .

Deplasarea la stânga se poate obține prin următoarele conexiuni exterioare: $C = Q_D$, $B = Q_C$, $A = Q_B$. Intrarea serială se aplică la D , iar ieșirea serială se obține la Q_A . Modul de lucru este conform cu încărcarea paralelă: $MC = 1$, cu impulsul de tact aplicat la intrarea C_2 . Aceste conexiuni sunt indicate în Figura 4.24.

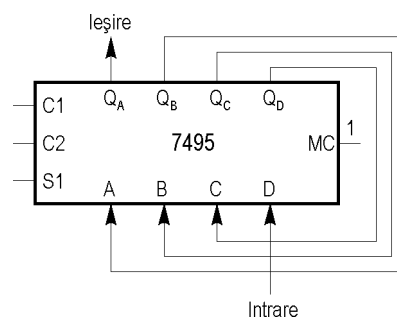


Figura 4.24. Conexiunile necesare pentru utilizarea circuitului 7495 ca registru de deplasare la stânga.

2.4.4. Registre universale

Permit operații de deplasare la stânga și la dreapta, încărcare paralelă, citire serială sau paralelă a datelor. De menționat că aceleași operații se pot realiza și cu registrul 7495 prezentat anterior, dar cu conexiuni externe pentru deplasarea la stânga.

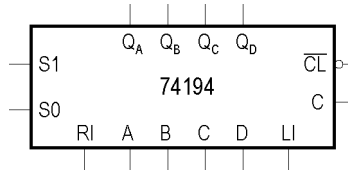


Figura 4.25. Registrul universal 74194.

Un exemplu de registru universal este circuitul 74194 (Figura 4.25). Este un registru bidirecțional de 4 biți, prevăzut cu o intrare de ștergere asincronă \overline{CL} . Comutarea bistabilelor are loc la frontul anterior al impulsului de tact. Circuitul dispune de intrările paralele A, B, C, D și ieșirile paralele Q_A, Q_B, Q_C, Q_D . Există de asemenea două intrări serie pentru deplasarea la dreapta, RI (*Right Input*), respectiv la stânga, LI (*Left Input*). Modul de lucru este determinat de semnalele S_1, S_0 , astfel:

- $S_1 S_0 = 00$: stare nemodificată
- $S_1 S_0 = 01$: deplasare la dreapta
- $S_1 S_0 = 10$: deplasare la stânga
- $S_1 S_0 = 11$: încărcare paralelă

Circuitul 74198 funcționează în mod asemănător, fiind un registru universal de 8 biți.

2.5. Numărătoare

Numărătoarele sunt circuite secvențiale utilizate pentru contorizarea impulsurilor aplicate la intrarea acestora. Nu au intrări de date, deci tranzițiile se efectuează după o anumită regulă, numai pe baza stării prezente. Pentru fiecare număr din gama de numărare, există câte o stare distinctă a numărătorului. Capacitatea de numărare este dată de numărul stărilor distincte pe care le are numărătorul.

Numărătoarele se pot realiza cu ajutorul bistabilelor și a porților logice, cele din urmă având rolul de a stabili modul corect în care numărătorul își schimbă stările în procesul de numărare. Numărul stărilor distincte ale unui numărător format din n bistabile este 2^n , deci numărătorul este modulo 2^n . Fiecărei stări i se poate asocia câte un cuvânt de cod binar de lungime n , reprezentând ieșirile celor n bistabile pentru starea dată a numărătorului.

Codul de numărare este dat de succesiunea cuvintelor de cod asociate stărilor numărătorului.

Clasificarea numărătoarelor se poate face după mai multe criterii.

- 1) După *codul de numărare* există numărătoare binare și numărătoare binar-zecimale, de exemplu în cod BCD, în cod Gray etc.
- 2) După *modul de comutare* a bistabilelor există numărătoare asincrone și sincrone.
- 3) După *sensul de numărare* există numărătoare directe, inverse și reversibile.

Există numărătoare care dispun de anumite facilități suplimentare, ca de exemplu posibilitatea încărcării cu o anumită valoare, programarea sensului de numărare, inițializarea sincronă sau asincronă.

2.5.1. Numărătoare asincrone

În cazul numărătoarelor asincrone, bistabilele nu comută simultan sub acțiunea unui semnal de tact comun, ci ieșirea unui bistabil va determina comutarea unui alt bistabil.

Considerăm realizarea unui numărător binar de 4 biți. Pentru aceasta întocmim un tabel cu succesiunea numerelor binare crescătoare de 4 biți, care constituie ieșirile celor 4 bistabile. Fiecare cuvânt de ieșire corespunde unei stări a numărătorului (Tabelul 4.16).

Tabelul 4.16. Tabelul de succesiune a stărilor pentru numărătorul binar de 4 biți.

Stare	Q_3	Q_2	Q_1	Q_0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
0	0	0	0	0

Deoarece starea numărătorului se schimbă la fiecare impuls de tact, se observă că ieșirea bistabilului corespunzător bitului de ordin inferior Q_0 se modifică la fiecare impuls de tact. Bistabilul asociat bitului Q_1 comută atunci când are loc o tranziție de la 1 la 0 a ieșirii Q_0 . Bistabilul asociat bitului Q_2 comută atunci când Q_1 trece din 1 în 0, iar cel asociat bitului Q_3 comută atunci când Q_2 trece din 1 în 0.

Folosind proprietatea bistabilului JK cu intrările $J = K = 1$ de a trece în starea complementară la fiecare impuls de tact, pentru realizarea numărătorului se aplică impulsurile de tact bistabilului asociat bitului de rang inferior (Q_0). La fiecare comutare din 1 în 0 a acestui bistabil se obține un front negativ care se utilizează pentru comanda bistabilului asociat bitului următor, Q_1 . Se obține circuitul din Figura 4.26.

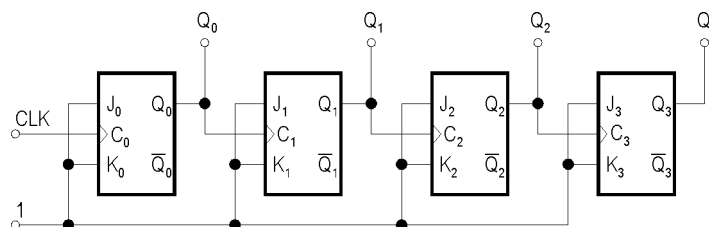


Figura 4.26. Schema logică a numărătorului binar asincron de 4 biți, cu numărare în sens direct.

Dacă, de exemplu, numărătorul se află în starea 3 ($Q_3Q_2Q_1Q_0 = 0011$), la apariția impulsului de tact bistabilul Q_0 comută din 1 în 0, ceea ce determină comutarea bistabilului Q_1 din 1 în 0, iar ieși-

rea acestuia determină comutarea bistabilului Q_2 din 1 în 0. Deoarece bistabilele comută pe frontul negativ, Q_3 rămâne în aceeași stare. Ieșirile vor fi deci $Q_3Q_2Q_1Q_0 = 0100$.

Caracterul asincron este dat de faptul că starea finală nu se stabilește sincron, ci prin comutarea succesivă a mai multor bistabile. Neglijând întârzierile introduse de comutarea bistabilelor, se obține diagrama de timp din Figura 4.27. Din această diagramă se observă că numărătorul funcționează ca un divizor de frecvență. De exemplu, dacă tactul are frecvența f , Q_0 are frecvența $f/2$, iar Q_1 are frecvența $f/4$.

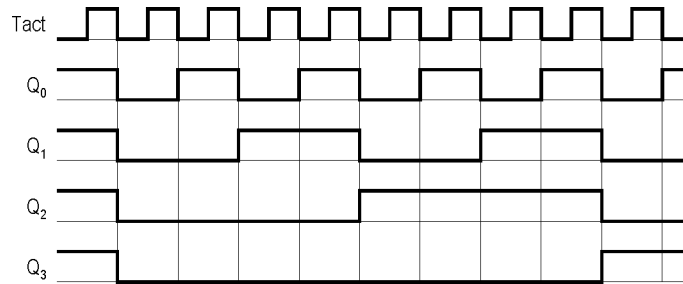


Figura 4.27. Diagrama de timp a numărătorului binar de 4 biți.

Schema numărătorului anterior se poate modifica pentru a obține un numărător invers, dacă se utilizează ieșirile \bar{Q} ale fiecărui bistabil (Figura 4.28).

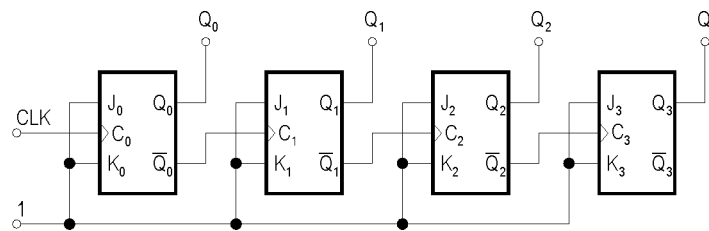


Figura 4.28. Schema logică a numărătorului binar asincron de 4 biți, cu numărare în sens invers.

Dezavantajul numărătoarelor asincrone este dat de timpul de comutare ridicat (în cazul cel mai defavorabil, suma timpilor de comutare ale tuturor bistabilelor). De aceea, ele nu se pot utiliza la frecvențe înalte. Avantajul constă în simplitatea schemei logice, bistabilele interconectându-se fără circuite suplimentare.

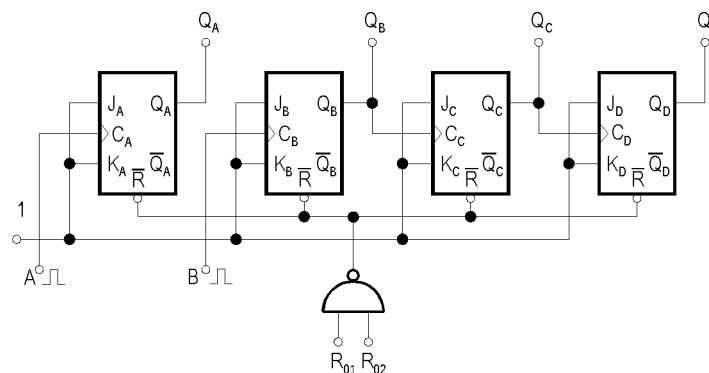


Figura 4.29. Schema logică a numărătorului binar asincron de 4 biți 7493.

Un exemplu de numărător binar asincron de 4 biți este circuitul 7493 (Figura 4.29). Este format dintr-un numărător de 1 bit (Q_A , cu intrarea de tact A), deci divizor prin 2, și un numărător de 3

biți (Q_D, Q_C, Q_B , cu intrarea de tact B), divizor prin 8. Există două intrări de ștergere, R_{01} și R_{02} , care aduc numărătorul la 0 atunci când $R_{01} = R_{02} = 1$.

Pentru a obține un numărător divizor cu 16, trebuie să se conecteze ieșirea Q_A la intrarea B (Figura 4.30).

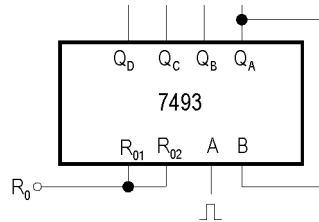


Figura 4.30. Realizarea unui numărător divizor cu 16 utilizând circuitul 7493.

Pentru a se realiza divizări prin valori N care nu sunt puteri ale lui 2, se poate forța numărătorul la 0 (prin intrările R_{01}, R_{02}) atunci când se ajunge în starea N . De exemplu, pentru a se obține un divizor cu 13 (1101), se efectuează conexiunile $R_{01} = Q_D \cdot Q_C, R_{02} = Q_A$ (Figura 4.31).

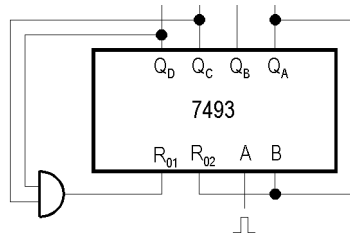


Figura 4.31. Realizarea unui numărător divizor cu 13 utilizând circuitul 7493.

Extinderea domeniului de numărare se poate realiza prin conectarea mai multor numărătoare în cascadă.

Un exemplu de numărător zecimal asincron de 4 biți este circuitul 7490, care conține un divizor prin 2 (Q_A , cu intrarea de tact A), și un divizor prin 5 (Q_D, Q_C, Q_B , cu intrarea de tact B). Sunt prevăzute intrările de ștergere R_{01} și R_{02} , și intrările R_{91} și R_{92} pentru aducerea numărătorului în starea 9 (inițializare pentru numărare inversă). Intrările R_{91} și R_{92} sunt prioritare față de R_{01} și R_{02} . Pentru aducerea la 0 trebuie ca una din intrările R_{91}, R_{92} să fie pe nivelul 0 logic.

Pentru numărarea în codul BCD, trebuie să se conecteze ieșirea Q_A la intrarea B (Figura 4.32).

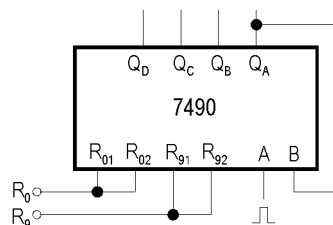


Figura 4.32. Realizarea unui numărător în cod BCD utilizând circuitul 7490.

În mod similar se poate realiza divizarea cu o valoare mai mică decât 10.

2.5.2. Numărătoare sincrone

În cazul numărătoarelor sincrone, impulsurile de tact sunt aplicate simultan la toate bistabilele, care vor comuta în același timp, deci nu succesiv ca în cazul numărătoarelor asincrone. Se elimină ast-

fel întârzierile cumulative datorită bistabilelor, frecvența de lucru nefiind limitată decât de întârzierea datorată unui singur bistabil și de întârzierea introdusă de porțile logice adăugate.

Considerăm un numărător binar de 4 biți (modulo 16). Pentru realizarea acestuia în varianta sincronă cu bistabile JK M/S conectate ca bistabile T, consultăm tabelul de succesiune a stărilor (Tabelul 4.16). Se poate observa că un anumit bistabil din numărător, cu excepția bistabilului Q_0 , care comută la fiecare impuls de tact, comută numai atunci când toate bistabilele de ordin inferior au ieșirea 1 logic în starea anterioară. De exemplu, Q_3 comută atunci când Q_2, Q_1, Q_0 sunt la 1 logic în starea anterioară.

Din această observație, rezultă ecuațiile intrărilor bistabilelor JK:

$$\begin{aligned} J_0 &= K_0 = 1 \\ J_1 &= K_1 = Q_0 \\ J_2 &= K_2 = Q_1 Q_0 \\ J_3 &= K_3 = Q_2 Q_1 Q_0 \end{aligned} \quad (4.16)$$

care se mai pot scrie sub forma:

$$\begin{aligned} J_0 &= K_0 = 1 \\ J_1 &= K_1 = Q_0 \\ J_2 &= K_2 = Q_1 J_1 \\ J_3 &= K_3 = Q_2 J_2 \end{aligned} \quad (4.17)$$

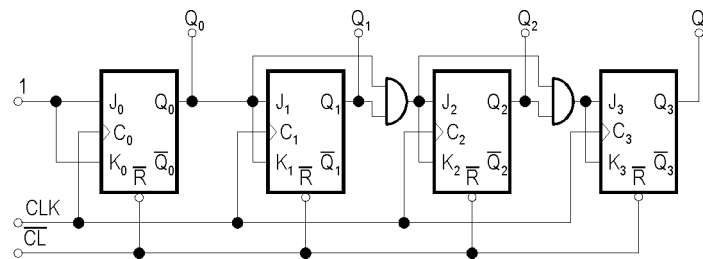


Figura 4.33. Schema logică a numărătorului binar sincron de 4 biți, cu numărare în sens direct.

Rezultă schema din Figura 4.33. \overline{CL} este un semnal de ștergere asincronă. Presupunând starea $Q_3Q_2Q_1Q_0 = 1011$, la primul impuls de tact bistabilul Q_0 comută, devenind $Q_0 = 0$, bistabilul Q_1 comută de asemenea (deoarece în starea anterioară Q_0 a fost 1), deci Q_1 devine 0. Deoarece în starea anterioară Q_1Q_0 a fost 11, bistabilul Q_2 comută, devenind $Q_2 = 1$, iar Q_3 nu își modifică starea deoarece anterior Q_2 a fost 0. Rezultă starea $Q_3Q_2Q_1Q_0 = 1100$.

În cazul numărătoarelor sincrone, condiția de comutare a bistabilelor nu este atât de riguroasă ca la cele asincrone (comutarea nu trebuie să se realizeze neapărat pe frontul posterior).

Pentru proiectarea unui numărător cu lungimea ciclului de numărare mai mică decât 2^n (unde n este numărul de bistabile), sau pentru numărarea într-un alt cod, se pot utiliza diagramele Karnaugh și tabelele de excitație ale bistabilelor pentru determinarea ecuațiilor intrărilor bistabilelor. Modul de funcționare al numărătorului este complet specificat prin secvența de numărare, care reprezintă succesiunea de stări ale acestuia. Din secvența de numărare se pot întocmi tabelele de excitație ale bistabilelor, de unde rezultă funcțiile de excitație (ecuațiile intrărilor).

Considerăm ca exemplu proiectarea unui numărător în codul BCD cu bistabile JK. Pentru acest numărător, secvența de numărare este:

$$0 \rightarrow 1 \rightarrow 2 \rightarrow 3 \rightarrow 4 \rightarrow 5 \rightarrow 6 \rightarrow 7 \rightarrow 8 \rightarrow 9 \rightarrow 0$$

Sucesiunea stărilor este prezentată în Tabelul 4.17.

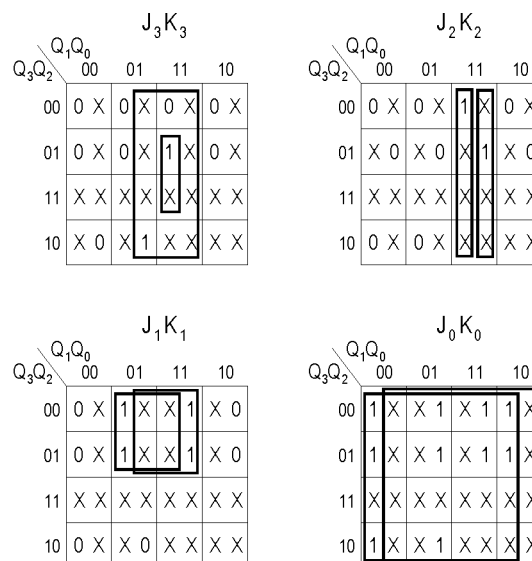
Tabelul 4.17. Tabelul de succesiune a stărilor pentru numărătorul în cod BCD.

Stare	Q_3	Q_2	Q_1	Q_0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
0	0	0	0	0

Deoarece starea următoare este întotdeauna rândul următor din secvența de numărare, tabelul excitațiilor se întocmește fără coloanele corespunzătoare stării următoare, intrările bistabilelor pentru un anumit rând scriindu-se prin compararea stării unui anumit bistabil de pe rândul respectiv cu starea aceluiași bistabil de pe rândul următor (Tabelul 4.18).

Tabelul 4.18. Funcțiile de intrare ale bistabilelor pentru numărătorul în cod BCD.

Secv. de num.	Intrările bistabilelor				
	$Q_3 Q_2 Q_1 Q_0$	$J_3 K_3$	$J_2 K_2$	$J_1 K_1$	$J_0 K_0$
0	0 0 0 0	0 X	0 X	0 X	1 X
1	0 0 0 1	0 X	0 X	1 X	X 1
2	0 0 1 0	0 X	0 X	X 0	1 X
3	0 0 1 1	0 X	1 X	X 1	X 1
4	0 1 0 0	0 X	X 0	0 X	1 X
5	0 1 0 1	0 X	X 0	1 X	X 1
6	0 1 1 0	0 X	X 0	X 0	1 X
7	0 1 1 1	1 X	X 1	X 1	X 1
8	1 0 0 0	X 0	0 X	0 X	1 X
9	1 0 0 1	X 1	0 X	0 X	X 1

**Figura 4.34.** Diagramele Karnaugh pentru proiectarea unui numărător sincron în cod BCD.

Se întocmesc diagramele Karnaugh pentru bistabile, reprezentând intrările J și K pe aceeași diagramă (Figura 4.34). Deoarece stările 10-15 nu sunt utilizate, ele se consideră redundante.

Rezultă următoarele ecuații de intrare ale bistabilelor:

$$\begin{aligned} J_3 &= Q_2 Q_1 Q_0 & K_3 &= Q_0 \\ J_2 &= Q_1 Q_0 & K_2 &= Q_1 Q_0 \\ J_1 &= \overline{Q_3} Q_0 & K_1 &= \overline{Q_3} Q_0 \\ J_0 &= 1 & K_0 &= 1 \end{aligned} \quad (4.18)$$

Un exemplu de numărător sincron este circuitul 74193. Acesta este un numărător binar reversibil de 4 biți, cu posibilitatea de încărcare paralelă (Figura 4.35).

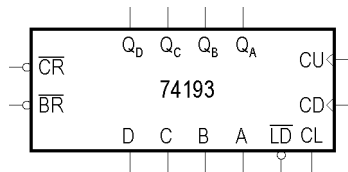


Figura 4.35. Numărătorul binar reversibil de 4 biți 74193.

Există două intrări de tact, pentru cele două sensuri de numărare: CU (*Count Up*), pentru numărarea directă, și CD (*Count Down*), pentru numărarea inversă. Numărarea are loc pe frontul anterior al semnalului de tact. Intrarea de tact neutilizată se conectează la nivelul 1 logic. Intrarea \overline{LD} (*Load*) se folosește pentru încărcare paralelă, iar CL (*Clear*) se folosește pentru ștergere. Dacă $\overline{LD} = 0$, se validează operația de încărcare paralelă, independent de semnalul de tact și de starea numărătorului. Pentru numărare \overline{LD} trebuie să fie 1 logic. Pentru ștergere se aplică 1 logic pe intrarea CL .

Pentru conectarea mai multor numărătoare sunt prevăzute ieșirile \overline{CR} (*Carry*) și \overline{BR} (*Borrow*). \overline{CR} se activează atunci când se ajunge la numărul maxim și $CU = 0$ (la numărare directă), iar \overline{BR} se activează atunci când se ajunge la 0 și $CD = 0$ (la numărare inversă).

O secvență de numărare mai scurtă se poate obține conectând la intrarea \overline{LD} ieșirea de transport \overline{CR} sau cea de împrumut \overline{BR} , după cum numărarea se realizează în sens direct sau în sens invers. La intrările D, C, B, A se aplică valorile corespunzătoare stării în care trebuie să se realizeze tranziția atunci când se ajunge la numărul maxim, respectiv la 0.

3. Desfășurarea lucrării

3.1. Se va realiza un bistabil D utilizând:

- a) un bistabil RS;
- b) un bistabil JK.

3.2. Se va realiza un bistabil T pornind de la un bistabil D.

3.3. Se va proiecta un circuit secvențial pentru detectarea unei secvențe de biți. Circuitul va genera la ieșire valoarea 1 de fiecare dată când detectează secvența de intrare 1010:

intrare $x = \dots 0101010$
ieșire $z = \dots 0000101$

Implementarea se va realiza:

- a) cu bistabile D;
- b) cu bistabile JK.

3.4. Se va desena schema unui registru de deplasare la dreapta de 4 biți cu posibilitatea încărcării paralele, realizat cu bistabile D. Registrul dispune de o intrare serială de date *SI* și de intrările de control *SHIFT* și *LOAD*. Funcționarea este definită prin Tabelul 4.19.

Tabelul 4.19. Tabelul de funcționare al registrului de deplasare cu încărcare paralelă.

SHIFT	LOAD	Operație
0	0	Stare nemodificată
0	1	Încărcare paralelă
1	X	Deplasare de la Q_0 la Q_3

3.5. Se va proiecta cu bistabile D un numărător binar care numără în sens direct, de la 0 la 15.

3.6. Se va proiecta cu bistabile T un numărător BCD în sens direct.

3.7. Se va proiecta cu bistabile JK un numărător binar cu următoarea secvență de numărare: 0, 1, 2, 4, 5, 6, 0.

3.8. Se va proiecta cu bistabile D un numărător binar cu următoarea secvență de numărare: 0, 1, 3, 2, 4, 6.

3.9. Se vor conecta în cascadă două circuite 74193, și se va realiza controlul sensului de numărare cu ajutorul unei intrări *MC*, astfel:

$MC = 0$: sens direct;

$MC = 1$: sens invers.

Se va indica modul în care se pot obține secvențe mai scurte de numărare.