

6.10.6. PowerPC 740 și 750

Procesoarele PowerPC 740 și 750 sunt destinate sistemelor cu performanțe ridicate și puteri consumate reduse. Procesorul 740 funcționează la mai multe frecvențe între 200 MHz și 500 MHz, în timp ce procesorul 750 funcționează la frecvențe între 200 MHz și 550 MHz. Procesorul 750 diferă de 740 în principal prin suportul său extensiv al memoriei *cache* L2. Conține o interfață cu magistrala și un controler pentru memoria *cache* L2, care nu sunt prezente la procesorul 740.

Această secțiune descrie detaliat procesorul PowerPC 750. Cu excepția cazurilor menționate, referințele asupra procesorului 750 sunt valabile și pentru procesorul 740.

6.10.6.1. Prezentare generală

PowerPC 750 este un procesor superscalar care poate termina două instrucțiuni simultan. Acesta cuprinde următoarele șase unități de execuție:

- Unitatea în virgulă mobilă (FPU – *Floating-Point Unit*);
- Unitatea de procesare a salturilor (BPU – *Branch Processing Unit*);
- Unitatea pentru registrele sistem (SRU – *System Register Unit*);
- Unitatea de încărcare/memorare (LSU – *Load/Store Unit*);
- Două unități pentru numere întregi: IU1 execută toate instrucțiunile cu numere întregi, iar IU2 execută toate instrucțiunile cu numere întregi, cu excepția instrucțiunilor de înmulțire și împărțire.

Majoritatea instrucțiunilor cu numere întregi se execută într-un ciclu de ceas. Unitatea în virgulă mobilă este de tip *pipeline*, iar operațiile pe care le execută sunt divizate în sub-operații, implementate în trei etaje succesive. În mod tipic, o instrucțiune în virgulă mobilă poate ocupa numai unul din cele trei etaje la un moment dat. Astfel, pot fi în execuție trei instrucțiuni în virgulă mobilă cu precizie simplă la un moment dat. Instrucțiunile de adunare cu precizie simplă au o latență de trei cicluri de ceas; instrucțiunile de înmulțire și înmulțire-adunare cu precizie dublă au o latență de patru cicluri de ceas.

Procesorul 750 are memorii *cache* independente pentru instrucțiuni și date de câte 32 KB, cu seturi asociative cu 8 căi, adresate fizic, și unități independente de gestiune a memoriei de instrucțiuni și de date (MMU). Fiecare unitate MMU are un buffer de translatare TLB cu 128 intrări, cu seturi asociative cu 2 căi (DTLB și ITLB) care păstrează translatările adreselor paginilor recent utilizate. Translatarea adreselor de bloc este efectuată prin matricile cu 4 intrări pentru translatarea adreselor de bloc ale instrucțiunilor și datelor (IBAT și DBAT), definite de către arhitectura PowerPC. În timpul translatării adreselor de bloc, adresele efective sunt comparate simultan cu toate cele patru intrările matricii BAT.

La procesorul 750, memoria *cache* L2 este implementată printr-o memorie de marcaje în cadrul capsulei, fiind un set asociativ cu 2 căi, și prin memorii SRAM externe, sincrone, pentru date. Memoriile externe sunt accesate printr-un port dedicat al memoriei *cache* L2, care permite un singur banc de până la 1 MB de memorii SRAM sincrone. Interfața memoriei *cache* L2 nu este implementată la procesorul 740.

Procesorul 750 are o magistrală de adrese de 32 de biți și o magistrală de date de 64 de biți. Mai multe dispozitive concurează pentru resursele sistemului printr-un arbitru central extern. Protocolul MEI de coerență a memoriei *cache* permite stările modificat, exclusiv și invalid, un subset compatibil al protocolului cu patru stări MESI.

Procesorul 750 are patru moduri de economisire a puterii de alimentare controlabile prin program. Atunci când unitățile funcționale sunt inactice, un mod dinamic de gestiune a puterii de alimentare determină ca acele unități să treacă automat într-un mod cu putere redusă fără a afecta performanțele funcționale, execuția programelor sau dispozitivele externe. Procesorul 750 mai pune la dispoziție o unitate de asistare termică și un mod de a reduce rata de încărcare a instrucțiunilor pentru limitarea consumului de putere.

Versiunea 750CX conține o memorie *cache* L2 în cadrul capsulei, cu o dimensiune de 256 KB. Aceasta este organizată ca o memorie *cache* cu seturi asociative cu 2 căi, cu o dimensiune a liniei de 64 octeți.

Tabelul 6.1 prezintă caracteristicile principale ale procesoarelor 740 și 750 fabricate de IBM.

Tabelul 6.1. Procesoarele PowerPC 740 și 750 ale IBM.

	740 (PID8p)	750 (PID8p)	750CX
Frecvență	300, 333, 366, 400, 466, 500 MHz	300, 333, 366, 400, 466, 500 MHz	350, 400, 450, 500, 550 MHz
Tehnologie (CMOS)	0,22 μ m	0,22 μ m	0,18 μ m
Performanță	400 MHz	400 MHz	500 MHz
SPECint95	16,0	19,2	20,9
SPECfp95	9,2	13,1	12,8
MIPS Dhystone	928	928	1160
Putere tipică	3,7 W (400 MHz)	4,7 W (400 MHz)	4,0 W (400 MHz)
Tensiune (logică / I/E)	3,7 V / 3,3 V	2,0 / 3,3 V	1,8 / 1,8 sau 2,5 V
I-Cache / D-cache	32 KB / 32 KB	32 KB / 32 KB	32 KB / 32 KB
L2 Cache	–	–	256 KB
Interfață cu magistrala	64 biți (date) 32 biți (adrese)	64 biți (date) 32 biți (adrese)	32/64 biți (date) 32 biți (adrese)

6.10.6.2. Schema bloc

Figura 6.10 prezintă o schemă bloc a procesorului PowerPC 750. Acesta conține o unitate de instrucțiuni, o unitate de terminare, două unități pentru numere întregi cu un set de registre pentru întregi, o unitate în virgulă mobilă cu un set de registre pentru virgulă mobilă, o unitate de încărcare/memorare, o unitate pentru registrele sistem, două unități de gestiune a memoriei pentru instrucțiuni și date, două memorii *cache* L1 pentru instrucțiuni și date, o unitate de interfață cu magistrala și o interfață cu memoria *cache* L2.

6.10.6.3. Unitatea de instrucțiuni

Unitatea de instrucțiuni conține o unitate de încărcare a instrucțiunilor, o coadă de instrucțiuni (IQ – *Instruction Queue*) cu 6 intrări și o unitate de procesare a salturilor (BPU – *Branch Processing Unit*).

Unitatea de încărcare a instrucțiunilor încarcă instrucțiunile din memoria *cache* de instrucțiuni în coada de instrucțiuni. Coada de instrucțiuni păstrează până la șase instrucțiuni și încarcă până la patru instrucțiuni din memoria *cache* de instrucțiuni în timpul unui singur ciclu de ceas al procesorului. Toate instrucțiunile, cu excepția instrucțiunilor de salt, sunt expediate la unitățile corespunzătoare de execuție din ultimele două poziții ale cozii de instrucțiuni la o rată maximă de două instrucțiuni pe ciclu de ceas. Unitatea de expediere testează dependențele între registrul sursă și destinație, determină dacă este disponibilă o poziție în coada de terminare și previne expedierea următoarelor instrucțiuni dacă este necesar.

Unitatea de procesare a salturilor BPU extrage instrucțiunile de salt de la unitatea de încărcare a instrucțiunilor. Instrucțiunile de salt care nu pot fi rezolvate imediat sunt anticipate utilizând fie predicția statică definită de arhitectură, fie predicția dinamică specifică procesorului 750. BPU liniarizează instrucțiunile de salt atunci când un salt este executat (sau este anticipat că va fi executat). Instrucțiunile de salt care nu sunt executate, sau sunt anticipate că nu vor fi executate, sunt eliminate din șirul de instrucțiuni prin mecanismul de expediere.

Predicția dinamică este implementată utilizând un tabel de istorie a salturilor (BHT – *Branch History Table*) cu 512 intrări, o memorie *cache* conținând doi biți pe intrare, care indică împreună patru nivele de predicție pentru o instrucțiune de salt. Atunci când predicția dinamică a salturilor este invalidată, BPU utilizează un bit din codul instrucțiunii pentru a anticipa direcția saltului condiționat. Astfel, atunci când se întâlnește o instrucțiune de salt condiționat nerezolvată, procesorul 750 execută instrucțiunile din șirul destinație anticipat, deși rezultatele nu sunt înscrise în registre până când saltul condiționat este rezolvat. Această execuție poate continua până când se întâlnește o a doua instrucțiune de salt condiționat nerezolvată.

Memoria *cache* pentru instrucțiunile de destinație ale salturilor (BTIC – *Branch Target Instruction Cache*) este o memorie *cache* cu 64 intrări, cu seturi asociative cu 4 căi, care conține cele mai recent utilizate instrucțiuni de destinație ale salturilor. Atunci când o instrucțiune destinație se află în BTIC, aceasta este încărcată în coada de instrucțiuni în următorul ciclu de ceas, cu un ciclu de ceas mai repede decât ar putea fi disponibil din memoria *cache* de instrucțiuni. În mod tipic, BTIC conține primele două instrucțiuni din șirul destinație. Memoria *cache* BTIC poate fi dezactivată prin program.

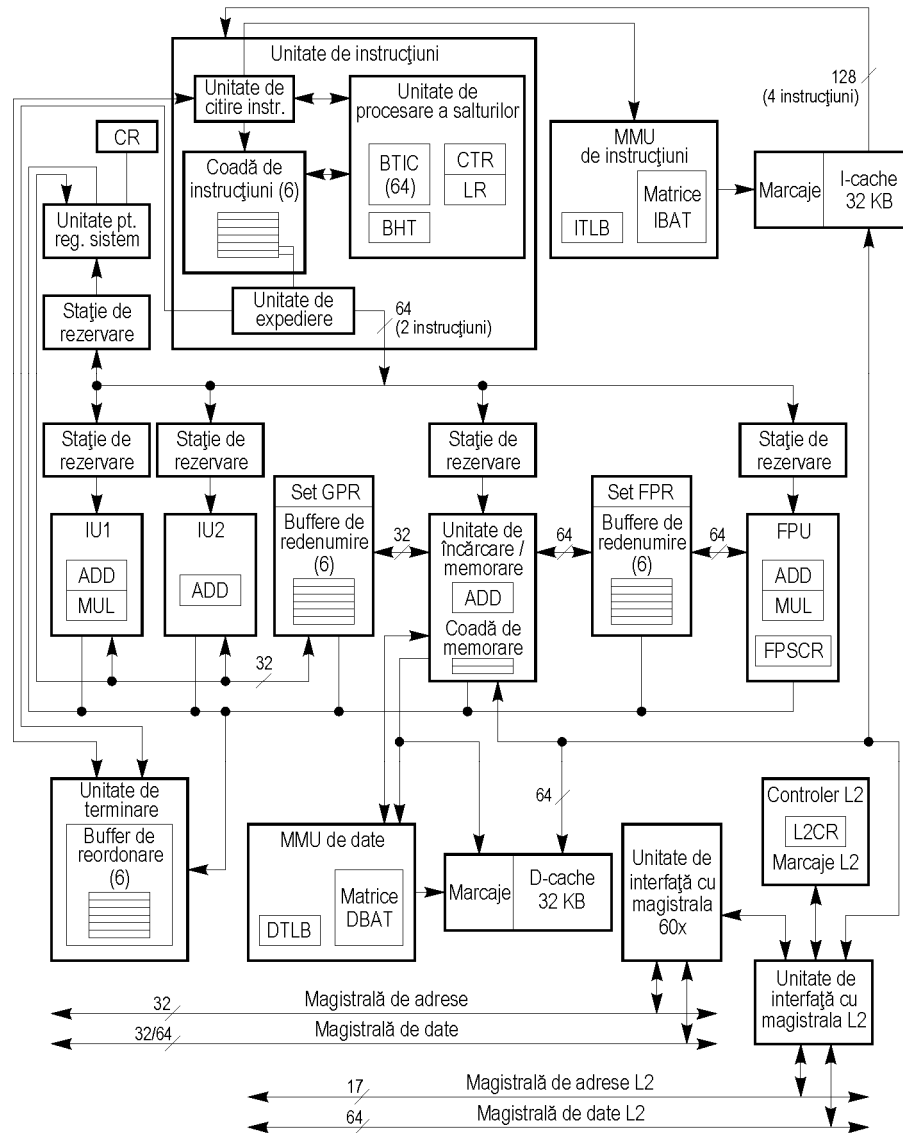


Figura 6.1. Schema bloc a procesorului PowerPC 750.

Unitatea de procesare a salturilor conține un sumator pentru calculul adreselor de destinație ale salturilor și trei registre de control: registrul de legătură (LR – *Link Register*), registrul contor (CTR – *Count Register*) și registrul de control (CR – *Control Register*). BPU calculează adresa de revenire pentru apelurile de subrutine și o salvează în registrul LR pentru anumite tipuri de instrucțiuni de salt. Registrul LR conține, de asemenea, adresa de destinație a saltului pentru instrucțiunea *Branch Conditional to Link Register*. Registrul CTR conține adresa de destinație a saltului pentru instrucțiunea *Branch Conditional to Count Register*. Deoarece BPU utilizează registre dedicate, execuția instrucțiunilor de salt este independentă de execuția instrucțiunilor întregi și în virgulă mobilă.

6.10.6.4. Unitatea de terminare a instrucțiunilor

Instrucțiunile sunt încărcate și expediate în ordinea din program. În momentul expedierii, ordinea din program este menținută prin asignarea pentru fiecare instrucțiune expediată a unei intrări succesive în bufferul de reordonare (coada de terminare) cu 6 intrări. Unitatea de terminare urmărește instrucțiunile de la expediere de-a lungul execuției și le retrace în ordinea din program din bufferul de reordonare.

Instrucțiunile pot fi expediate la o unitate de execuție numai dacă există un spațiu liber în bufferul de reordonare. Instrucțiunile de salt care nu actualizează registrele CTR sau LR sunt eliminate din șirul de instrucțiuni și nu ocupă o intrare în bufferul de reordonare. Instrucțiunile de salt care actualizează registrele CTR

și LR urmează aceleași proceduri de expediere și terminare ca și instrucțiunile diferite de cele de salt, cu excepția faptului că ele nu sunt lansate către o unitate de execuție.

Terminarea unei instrucțiuni înscrie rezultatele execuției în registrele GPR, FPR, LR sau CTR. Terminarea în ordine asigură starea arhitecturală corectă atunci când procesorul trebuie să revină după un salt anticipat incorect sau orice excepție. Retragerea unei instrucțiuni elimină instrucțiunea din bufferul de reordonare.

6.10.6.5. Unitățile pentru numere întregi

Fiecare unitate pentru numere întregi, IU1 și IU2, are o stație de rezervare cu o singură intrare, care poate primi instrucțiuni de la unitatea de expediere și operanzi de la registrele generale sau bufferele de redenumire. Unitatea IU1 poate executa orice instrucțiune pentru numere întregi; unitatea IU2 poate executa orice instrucțiune pentru numere întregi, cu excepția instrucțiunilor de înmulțire și împărțire.

Fiecare unitate pentru numere întregi constă din trei subunități: un sumator/comparator rapid, o subunitate pentru operații logice și o subunitate pentru executarea rotirilor, deplasărilor și a operațiilor de numărare a zerourilor de la început. Aceste subunități execută toate instrucțiunile aritmetice de un ciclu. O singură subunitate poate executa o instrucțiune la un moment dat. Fiecare unitate pentru numere întregi are o magistrală dedicată pentru rezultate, care se conectează la bufferele de redenumire.

Unitatea IU1 are un circuit de înmulțire/împărțire de 32 de biți, ca și subunitățile de adunare, deplasare și logică ale unității IU2. Circuitul de înmulțire permite terminarea în avans a operațiilor care nu necesită o înmulțire completă de 32x32 biți.

6.10.6.6. Unitatea în virgulă mobilă

Unitatea în virgulă mobilă (FPU) este proiectată astfel încât operațiile cu precizie simplă necesită un singur pas, cu o latență de trei cicluri de ceas. Pe măsură ce instrucțiunile sunt expediate către stația de rezervare a FPU, operanzii sursă pot fi accesați din registrele în virgulă mobilă (FPR – *Floating-Point Register*) sau din bufferele de redenumire ale acestor registre. La rândul lor, rezultatele sunt scrise în bufferele de redenumire și sunt disponibile pentru următoarele instrucțiuni.

Unitatea în virgulă mobilă conține o matrice de înmulțire-adunare cu precizie simplă și registrul de stare și control pentru virgulă mobilă (FPSCR – *Floating-Point Status and Control Register*). Matricea de înmulțire-adunare permite procesorului 750 să implementeze eficient operațiile de înmulțire și înmulțire-adunare. Unitatea în virgulă mobilă este de tip *pipeline*, astfel încât poate fi lansată o instrucțiune cu precizie simplă sau cu precizie dublă pe ciclu de ceas. Sunt prevăzute 32 de registre de 64 de biți pentru operațiile în virgulă mobilă. Suspendările execuției datorate conflictelor la registrele FPR sunt minimizate prin alocarea automată a celor șase buffere de redenumire pentru virgulă mobilă. Conținutul unui buffer de redenumire este înscris în registrul FPR corespunzător atunci când instrucțiunile în virgulă mobilă sunt retrase de către unitatea de terminare.

Procesorul 750 implementează toate tipurile de date în virgulă mobilă ale standardului IEEE 754 (normalizate, denormalizate, NaN, zero și infinit) prin hardware, eliminând întârzierea implicată de rutinele de excepție.

6.10.6.7. Unitatea de încărcare/memorare

Unitatea de încărcare/memorare (LSU – *Load/Store Unit*) execută toate instrucțiunile de încărcare și memorare și asigură interfața pentru transferurile de date între registre și subsistemul de memorie. LSU calculează adresele efective, efectuează alinierea datelor și asigură secvențierea pentru instrucțiunile de încărcare/memorare cu șiruri.

Instrucțiunile de încărcare și memorare sunt lansate în execuție în ordinea din program; totuși, anumite accesuri la memorie se pot executa într-o ordine diferită. Se poate utiliza sincronizarea instrucțiunilor pentru a forța ordonarea strictă. Atunci când nu există dependențe de date, se poate executa într-o ordine diferită cel mult o operație de încărcare pe ciclu de ceas. O dată returnată din memoria *cache* este păstrată într-un buffer de redenumire până când logica de terminare înscrie valoarea într-un registru GPR sau FPR. Operațiile de memorare nu pot fi executate într-o ordine diferită; datele sunt păstrate în coada de memorare până când logica de terminare semnalează faptul că operația de memorare poate fi executată. Procesorul 750 execută instrucțiunile de memorare cu o rată maximă de una pe ciclu de ceas. Timpul necesar pentru executarea operației de încărcare sau memorare depinde de raportul dintre frecvența de ceas a procesorului și cea a magistralei, ca și de faptul că operația implică memoria *cache* din cadrul capsulei, memoria *cache* L2, memoria sistem sau un dispozitiv de I/E.

6.10.6.8. Unitatea pentru registrele sistem

Unitatea pentru registrele sistem (SRU – *System Register Unit*) execută diferite instrucțiuni la nivel de sistem, ca și operații logice cu registrele de condiție și transferuri între registrele speciale. Pentru menținerea stării sistemului, execuția instrucțiunilor de către SRU este serializată; deci, instrucțiunea este păstrată pentru execuție în SRU până când toate instrucțiunile lansate în prealabil au fost executate. Rezultatele de la aceste instrucțiuni executate de SRU nu sunt disponibile pentru instrucțiunile următoare până când instrucțiunea nu este terminată.

6.10.6.9. Unitățile de gestiune a memoriei

Cele două unități de gestiune a memoriei (MMU – *Memory Management Unit*) permit o memorie virtuală de până la 4 petaocteți (2^{52}) și o memorie fizică de până la 4 GB (2^{32}) pentru instrucțiuni și date. Aceste unități controlează de asemenea privilegiile de acces pentru spațiile de memorie la nivel de bloc și pagină. Procesorul menține starea referențiată și modificată pentru fiecare pagină, pentru a permite implementarea sistemelor de memorie virtuală cu paginare la cerere.

Unitatea de încărcare/memorare calculează adresele efective pentru încărcarea și memorarea datelor, iar unitatea de instrucțiuni calculează adresele efective pentru încărcarea instrucțiunilor. MMU translatează adresele efective pentru a determina adresa fizică corectă pentru accesul la memorie.

Procesorul 750 permite următoarele tipuri de translatare ale adreselor de memorie:

- *Modul de adresare real* – În acest mod, translatarea este dezactivată prin ștergerea unor biți din registrul de stare al procesorului. Atunci când translatarea adreselor este dezactivată, adresa fizică este identică cu adresa efectivă.
- *Translatarea adreselor de pagină* – Translatează adresa cadrului de pagină pentru o dimensiune a paginii de 4 KB.
- *Translatarea adreselor de bloc* – Translatează adresa de bază pentru blocuri (128 KB până la 256 MB).

Dacă translatarea este validată, unitatea MMU corespunzătoare translatează biții de ordin superior ai adresei efective în biți ai adresei fizice. Biții de ordin inferior ai adresei sunt direcționați la memoriile *cache* din cadrul capsulei, unde formează indexul în memoria de marcaje. După translatarea adresei, MMU transmite biții de ordin superior ai adresei fizice la memoria *cache*. Pentru accesurile care determină un eșec la memoria *cache*, biții de adresă netranslați de ordin inferior sunt concatenati cu biții de adresă translați de ordin superior; adresa fizică rezultată de 32 de biți este utilizată de unitatea de memorie și interfața sistem, care accesează memoria externă.

Bufferele de translatare TLB asigură translatarea adreselor instrucțiunilor și datelor în paralel cu accesul la memoria *cache* din cadrul capsulei. Bufferele TLB păstrează translatare ale adreselor de pagină pentru accesurile recente la memorie. Pentru fiecare acces, este prezentată o adresă efectivă pentru translatarea simultană a adreselor de pagină și bloc. Dacă o translatare este găsită atât în bufferul TLB, cât și în matricea BAT, se utilizează translatarea adresei de bloc din matricea BAT. Atunci când o translatare a adresei de pagină nu se află în bufferul TLB, se efectuează o căutare prin hardware în tabela de pagini. Cele două buffere TLB sunt memorii *cache* cu 128 intrări, cu seturi asociative cu 2 căi.

6.10.6.10. Memoriile cache interne

Procesorul 750 implementează memorii *cache* separate de instrucțiuni și date. Fiecare memorie *cache* este un set asociativ cu 8 căi, cu o dimensiune de 32 KB, fiind adresată fizic. Fiecare bloc conține opt cuvinte contigue din memorie; un bloc al memoriei *cache* nu trece niciodată de limitele unei pagini. Se poate actualiza un bloc întreg al memoriei *cache* printr-o încărcare în rafală. Accesurile nealiniat la adresele de pagină pot implica o reducere a performanțelor. Strategia de scriere este “*write-back*”.

6.10.6.11. Memoria cache L2

Memoria *cache* L2 este unificată și primește cereri de memorie de la memoriile *cache* L1 de instrucțiuni și de date în mod independent. Memoria *cache* L2 este implementată cu o memorie de marcaje în cadrul capsulei, sub forma unui set asociativ cu 2 căi, și cu memorii externe SRAM sincrone pentru date. Memoriile SRAM externe sunt accesate printr-un port dedicat al memoriei *cache* L2, care permite un singur

banc de memorie de 256 KB, 512 KB sau 1 MB. Memoria *cache* L2 funcționează în mod normal în modul “*write-back*”.

În funcție de dimensiunea sa, memoria *cache* L2 este organizată în linii de 64 octeți sau 128 octeți, care sunt divizate la rândul lor în blocuri (sectoare) de 32 octeți, unitatea la care este menținută coerența memoriei *cache*.

Controlerul memoriei *cache* L2 conține registrul de control al memoriei *cache* L2 (L2CR), care include biți pentru validarea testării parității, setarea raportului dintre frecvența memoriei *cache* L2 și cea a procesorului, și identificarea tipului de memorie RAM utilizată pentru implementarea memoriei *cache* L2. Controlerul gestionează, de asemenea, matricea de marcaje a memoriei *cache* L2, care este un set asociativ cu 2 căi, cu marcaje de 4 KB pe fiecare cale. Fiecare bloc are proprii săi biți de stare de validare și modificare.

6.10.6.12. Unitatea de interfață cu magistrala

Activitatea principală a unității de interfață cu magistrala (BIU – *Bus Interface Unit*) constă în transferarea datelor și a instrucțiunilor între procesor și memoria sistem. Interfața cu magistrala este compatibilă cu magistrala 60x. Există două tipuri de accesuri la memorie:

- *Transferuri singulare.* Aceste accesuri la memorie permit transferuri cu dimensiuni de 8, 16, 24, 32 sau 64 biți într-un ciclu al ceasului magistralei. Tranzacțiile singulare sunt cauzate de operațiile de citire și scriere care accesează memoria în mod direct (atunci când memoria *cache* este dezactivată) și operațiile de memorare în modul “*write-through*”.
- *Transferuri în rafală.* Tranzacțiile în rafală transferă întotdeauna un bloc întreg al memoriei *cache* (32 de octeți). Deoarece memoriile *cache* L1 ale procesorului 750 utilizează tehnica “*write-back*”, operațiile de citire în rafală sunt accesurile cele mai obișnuite la memorie, urmate de operațiile de scriere în rafală.

Accesul la interfața cu magistrala este acordat printr-un mecanism de arbitrare extern care permite dispozitivelor să concureze pentru magistrală. Acest mecanism de arbitrare este flexibil, permițând procesorului 750 să fie integrat în sisteme care implementează diferite proceduri de parcare a magistralei pentru a evita întârzierea datorită arbitrării.

În mod tipic, secvențele de operații cu memoria nu se termină neapărat în ordinea în care ele încep. Aceasta maximizează eficiența magistralei, fără sacrificarea coerenței datelor. Procesorul 750 poate optimiza în mod dinamic ordonarea operațiilor de încărcare/memorare în timpul execuției, îmbunătățind performanța globală.