

## 6.10.8. PowerPC 850 și 860

### 6.10.8.1. Prezentare generală

PowerPC 850 (Motorola MPC850) este un procesor integrat de comunicații, cuprinzând un nucleu PowerPC și mai multe controlere de periferice. Acest procesor poate fi utilizat în diverse aplicații, în special în produse de comunicație și de rețea. Procesorul MPC850, care cuprinde suport pentru *Universal Serial Bus* (USB), *Ethernet* și *Asynchronous Transfer Mode* (ATM), a fost special proiectat pentru aplicații cu costuri reduse de acces la distanță și de telecomunicații.

În plus față de un nucleu încorporat PowerPC cu performanțe ridicate, procesorul MPC850 integrează numeroase funcții sistem, cuprinzând un controler versatil de memorie și un modul al procesorului de comunicații (CPM – *Communications Processor Module*) care utilizează un procesor RISC specializat, independent, pentru comunicații. Această arhitectură cu două procesoare este mai eficientă decât arhitecturile tradiționale, deoarece CPM eliberează nucleul PowerPC de sarcina controlului perifericelor.

Procesorul MPC850 conține un controler de înmulțire-acumulare (MAC – *Multiply-Accumulate Controller*) de 16x16. Acesta poate executa o operație pe ciclu de ceas, operație care este concurrentă cu alte instrucțiuni.

Modulul CPM al procesorului MPC850 permite până la șapte canale seriale: unul sau două controlere seriale de comunicație (SCC – *Serial Communication Controller*), un canal USB, două controlere de gestiune serială (SMC – *Serial Management Controller*), un port *Inter-Integrated Controller* (I<sup>2</sup>C) și o interfață pentru periferice seriale (SPI – *Serial Peripheral Interface*). Controlerul SCC pot suporta protocoalele Ethernet, ATM, HDLC și un număr de alte protocoale, împreună cu un mod transparent de funcționare. În plus, sunt permise până la 64 de canale logice HDLC într-un singur controler SCC.

Procesorul PowerPC 860 (Motorola MPC860) are funcții similare cu procesorul de comunicație MPC850, dar diferă prin dimensiunea memoriilor *cache*, dimensiunea bufferelor TLB, tipul și numărul controlerelor de periferice. MPC860 se bazează pe controlerul de comunicații integrat cuadru (QUICC – *Quad Integrated Communications Controller*) MC68360 al firmei Motorola. UCP din cadrul procesorului MPC860 este o implementare PowerPC de 32 de biți, care cuprinde unități de gestiune a memoriei (MMU) și memorii *cache* de instrucțiuni și de date. Modulul procesorului de comunicații (CPM) al controlerului MC68360 a fost îmbunătățit prin adăugarea canalului I<sup>2</sup>C. Modulului CPM i s-a adăugat funcționalitatea de prelucrare digitală a semnalelor (DSP). Controlerul de memorie a fost îmbunătățit, permițând procesorului MPC860 să admită orice tip de memorie, incluzând memorii cu performanțe ridicate și noi tipuri de memorii DRAM. Un controler PCMCIA permite până la două socluri. A fost integrat de asemenea un ceas de timp real.

În continuare se prezintă mai detaliat procesorul MPC860.

### 6.10.8.2. Schema bloc

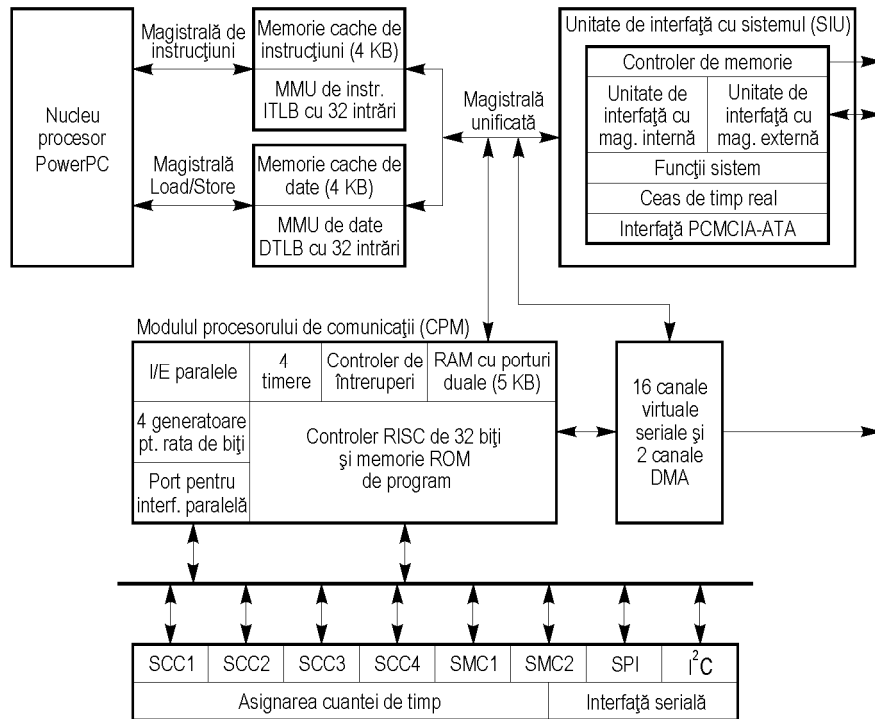
Schema bloc a procesorului MPC860 este prezentată în figura 6.11.

Procesorul MPC860 integrează un nucleu PowerPC cu periferice de performanțe ridicate, cu putere consumată redusă. Este compus din trei module care utilizează, fiecare, magistrala internă de 32 de biți: nucleul PowerPC, unitatea de interfață cu sistemul (SIU – *System Interface Unit*) și modulul procesorului de comunicații (CPM).

### 6.10.8.3. Nucleul PowerPC

Nucleul PowerPC este complet static; acesta conține o unitate pentru numere întregi (IU – *Integer Unit*) și o unitate de încărcare/memorare (LSU – *Load/Store Unit*). Nucleul permite operații întregi pe o cale de date internă de 32 de biți. Interfața nucleului cu magistralele interne și externe este de 32 de biți.

Unitatea IU utilizează 32 de registre generale de 32 de biți pentru operanzi sursă și destinație. În mod tipic, aceasta poate executa o instrucțiune cu numere întregi în fiecare ciclu de ceas. Semnalul de ceas este aplicat elementelor din unitatea pentru numere întregi numai când sunt prezente date valide în coada de date. Aceasta reduce puterea consumată a procesorului la minimum necesar pentru funcționare. Nucleul este integrat cu unități de gestiune a memoriei, ca și cu memorii *cache* de instrucțiuni și de date de câte 4 KB. Fiecare unitate de gestiune a memoriei conține un buffer de translatare TLB pentru instrucțiuni și date, complet asociativ, cu 32 de intrări, dimensiunea paginilor fiind de 4 KB, 16 KB, 256 KB, 512 KB și 8 MB. Sunt permise 16 spații de adrese virtuale.



**Figura 6.1.** Schema bloc a procesorului MPC860.

Memoriile *cache* de instrucțiuni și de date sunt seturi asociative cu 2 căi, cu adresare fizică. Acestea au patru cuvinte pe bloc, permițând umplerea liniilor în modul “*burst*” utilizând algoritmul de înlocuire LRU. Memoriile *cache* pot fi blocate la nivel de bloc pentru rutine critice. Memoria *cache* de date poate fi programată pentru strategia “*copy-back*” sau “*write-through*” prin intermediul unității de gestiune a memoriei.

#### 6.10.8.4. Unitatea de interfață cu sistemul

Unitatea de interfață cu sistemul (SIU) a procesorului MPC860 integrează facilități generale utile în aproape orice sistem cu procesor de 32 de biți. Este posibilă dimensionarea dinamică a magistralei, ceea ce permite existența perifericelor și a memoriei de 8 biți, 16 biți și 32 de biți în modul cu magistrala sistem de 32 de biți. Unitatea de interfață cu sistemul asigură, de asemenea, funcții de gestiune a puterii de alimentare, controlul resetării, un timer pentru întreruperi periodice, o bază de timp și un ceas de timp real.

Controlerul de memorie permite până la opt bancuri de memorie cu interfețe pentru memorii DRAM, SRAM, EPROM, EPROM “*flash*”, SRDRAM, EDO și alte memorii, cu acces în două cicluri de ceas la memoria SRAM externă și suport pentru modul “*burst*”. Controlerul permite dimensiuni variabile ale blocurilor de la 32 KB la 256 MB și 0–30 stări de așteptare pentru fiecare banc de memorie.

Interfața cu memoria DRAM permite dimensiuni ale porturilor de 8, 16 și 32 de biți. Bancurile de memorie pot fi definite cu dimensiuni de 256 KB, 512 KB, 1 MB, 2 MB, 4 MB, 8 MB, 16 MB, 32 MB sau 64 MB pentru toate dimensiunile porturilor.

#### 6.10.8.5. Controlerul PCMCIA

Interfața PCMCIA este un controler *master* și este compatibilă cu versiunea 2.1 a standardului PCMCIA. Interfața permite până la două socluri PCMCIA independente necesitând numai transmițătoare/receptoare și buffere externe. Interfața pune la dispoziție 8 ferestre de memorie sau de I/E, unde fiecare fereastră poate fi alocată unui anumit soclu. Dacă se utilizează un singur port PCMCIA, celălalt port PCMCIA poate fi utilizat ca intrare generală cu posibilități de întrerupere.

### 6.10.8.6. Modulul procesorului de comunicații

Modulul procesorului de comunicații (CPM) permite utilizarea procesorului MPC860 în produse de comunicație și de rețea. Componentele principale ale acestui modul sunt următoarele:

- Procesorul de comunicații (CP – *Communications Processor*);
- Șaisprezece controlere DMA seriale independente (SDMA – *Serial Direct Memory Access*);
- Patru timere generale.

Procesorul de comunicații conține un procesor RISC, patru controlere seriale de comunicație (SCC – *Serial Communication Controller*), patru controlere de gestiune serială (SMC – *Serial Management Controller*), o interfață pentru periferice seriale (SPI – *Serial Peripheral Interface*), o interfață I<sup>2</sup>C, o memorie RAM cu porturi duale de 5 KB, un controler de întreruperi, un circuit de asignare a cuantelor de timp (TSA – *Time-Slot Assigner*), trei porturi paralele, un port pentru interfața paralelă (PIP – *Parallel Interface Port*), patru generatoare independente pentru rata de biți și șaisprezece canale DMA seriale.

Controlerele seriale de comunicație suportă numeroase protocoale implementate în microcod, cum sunt: Ethernet/IEEE 802.3 (până la 10 Mbps), HDLC/SDLC, magistrala HDLC (implementează o rețea locală bazată pe protocolul HDLC), HDLC asincron cu protocolul PPP (*Point-to-Point Protocol*), AppleTalk, receptor-transmițător asincron universal (UART – *Universal Asynchronous Receiver Transmitter*), UART sincron, infraroșu serial (IrDA), comunicație binară sincronă (BISYNC – *Binary SYNchronous Communication*), sau un mod complet transparent cu control ciclic redundant (CRC – *Cyclic Redundancy Check*) opțional.

Circuitul pentru asignarea cuantelor de timp permite controlerelor SCC și SMC să funcționeze în mod multiplexat și/sau nemultiplexat. Poate fi conectat intern la șase canale seriale (patru SCC și două SMC).

Controlerele SDMA pun la dispoziție două canale DMA generale pentru fiecare canal de comunicație. Acestea oferă transferuri cu viteză ridicată, transferuri de date de 32 de biți și logică independentă de cerere și achitare. Cele patru timere generale de 16 biți din cadrul CPM permit conectarea internă în cascadă a două timere pentru a forma un timer de 32 de biți.

### 6.10.8.7. Diferențe între procesoarele MPC850 și MPC860

Următoarea listă prezintă modul în care procesorul MPC860 diferă de procesorul MPC850.

- Memoria RAM cu porturi duale are o dimensiune de 5 KB (8 KB la procesorul MPC850);
- Memorii *cache* de instrucțiuni și de date de 4 KB (o memorie *cache* de instrucțiuni de 2 KB și o memorie *cache* de date de 1 KB la procesorul MPC850);
- Unități de gestiune a memoriei cu buffere de translatare TLB având 32 de intrări (8 intrări la procesorul MPC850);
- 32 de linii externe de adrese în loc de 26 la procesorul MPC850;
- Nu există port USB (un port USB la procesorul MPC850);
- Interfață PCMCIA cu două socluri (un singur soclu la procesorul MPC850);
- Patru controlere SCC în loc de unul sau două la procesorul MPC850;
- 16 canale seriale DMA în loc de 14 la procesorul MPC850;
- S-a adăugat un port pentru interfața paralelă (port Centronics).