

Tehnologii de memorii DRAM

Frecvența de ceas a microprocesoarelor continuă să crească cu o rată susținută, memoriile calculatoarelor rămânând în urmă. Această serie de articole prezintă tehnologiile și interfețele de memorii DRAM care au fost elaborate de-a lungul anilor pentru a face față performanței crescute a microprocesoarelor.

– Baruch Zoltan

În ultimii ani, una din principalele probleme din industria de calculatoare a fost și continuă să rămână faptul că diferența dintre performanța microprocesoarelor și cea a memoriilor DRAM continuă să crească. În timp ce frecvența de ceas a microprocesoarelor crește cu o rată de aproximativ 60% pe an, timpul de acces al memoriilor DRAM se îmbunătățește cu o rată de sub 10% pe an. Această diferență este principalul obstacol al îmbunătățirii performanțelor globale ale calculatoarelor. Pe măsură ce au fost dezvoltate microprocesoare din ce în ce mai rapide, producătorii de memorii DRAM au fost nevoiți să găsească tehnologii de memorii care să facă față cerințelor acestor noi microprocesoare.

În această serie de trei articole voi prezenta principalele tehnologii de memorii DRAM care au fost utilizate în ultimii ani, cele care sunt utilizate azi și unele tehnologii care vor fi utilizate, probabil, în viitorul apropiat. În primul articol, cel de față, voi prezenta mai întâi structura unei celule de memorie DRAM, principalii parametri de performanță ai memoriilor DRAM, categorii de memorii DRAM, iar apoi memoriile FPM, EDO, BEDO, și SDRAM. În următorul articol voi descrie memoriile FCRAM, HSDRAM, ESDRAM, Virtual Channel, DDR SDRAM și DDR II SDRAM, iar în al treilea articol voi prezenta memoriile Rambus DRAM și IRAM, ca și diferite tipuri de module de memorie.

Celula de memorie DRAM

Într-o celulă de memorie dinamică DRAM (Dynamic Random Access Memory), stările 1 și 0 corespund prezenței sau absenței unei sarcini memorate într-un condensator controlat de un circuit de comutare, de obicei un tranzistor. Condensatorul unei celule DRAM trebuie reîncărcat periodic. Operația de reîncărcare a condensatoarelor unei memorii DRAM este numită *reîmprospătare*. Deci, o memorie

DRAM trebuie să conțină un circuit de reîmprospătare și să alterneze operațiile de reîmprospătare cu accesul normal la memorie. Datele conținute în memoriile DRAM trebuie să fie rescrise în locația corespunzătoare de memorie după fiecare operație de citire. De aceea, memoriile DRAM sunt caracterizate prin proprietatea că citirea este distructivă.

Pentru memoriile DRAM se utilizează atât tranzistoare bipolare cât și MOS, dar MOS este tehnologia dominantă pentru memoriile de dimensiuni mari. Figura 1 prezintă o celulă simplă de memorie dinamică. Această celulă conține un tranzistor T în tehnologie MOS, având rol de comutator, și un condensator C care memorează un bit de date. Pe lângă alimentare și masă, celula are doar două conexiuni externe: o linie de date (de bit) și o linie de adresă (de cuvânt). Pentru scrierea unei informații în celulă, se plasează un semnal 1 sau 0 pe linia de date. Se aplică apoi un semnal pe linia de adresă pentru a comuta tranzistorul T . Această acțiune transferă o sarcină la condensatorul C dacă linia de date este 1. Pentru citirea celulei, linia de adresă este activată, transferând sarcina memorată în

condensatorul C pe linia de date unde aceasta este detectată. Deoarece procesul de citire este distructiv, data care este citită este amplificată și apoi rescrisă în celulă; acest proces poate fi combinat cu operația de reîmprospătare periodică necesară pentru memoriile dinamice. Avantajele acestei celule DRAM sunt dimensiunea sa redusă și consumul de putere redus.

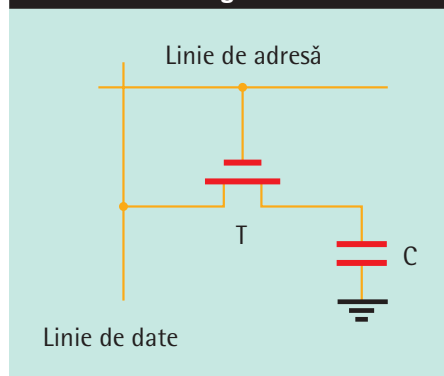
Parametri ai memoriilor DRAM

Timpul de acces (t_A) reprezintă timpul scurs între plasarea adresei de linie pe magistrala de adrese și momentul în care cuvântul solicitat apare în bufferul de ieșire. *Durata ciclului* (t_M) pentru un șir aleator de adrese este timpul minim între operațiile secvențiale de citire a memoriei. Durata ciclului are o valoare mai mare decât timpul de acces, deoarece fiecare acces este urmat de o scriere internă pentru reîncărcarea condensatorului celulei de memorie. Un alt motiv este că semnalele de control sunt dezactivate la sfârșitul unei operații și ele trebuie reactivate pentru a începe o nouă operație. Timpul necesar pentru rescrierea conținutului memoriei și pentru activarea semnalului RAS este numit *timp de preîncărcare RAS* (t_{RP} – RAS Precharge time).

Considerând un acces pentru citirea unei memorii DRAM, vor avea loc următoarele operații:

- Procesorul transmite adresa datei care trebuie accesată pe magistrala de adrese.
- Controlerul de memorie determină adresele de linie și de coloană necesare pentru accesul datei în modulul de memorie.
- Controlerul de memorie transmite prima parte a adresei (adresa de linie) la memorie și activează semnalul RAS. Ca urmare, decodificatorul adresei de linie selectează linia corespunzătoare în care este memorată data, sau citește întreaga linie și o depune într-un buffer. *Timpul de acces la linie* (t_{RA} – Row Access time) este timpul dintre activarea

Figura 1. Celulă de memorie DRAM în tehnologie MOS.



semnalului *RAS* și selecția liniei corespunzătoare sau prezența datei solicitate în bufferul de ieșire.

- Controlerul de memorie transmite a doua parte a adresei (adresa de coloană) la memorie și activează semnalul *CAS*. *Întârzierea între semnalele RAS și CAS* ($t_{\text{RCD}} - \text{RAS-to-CAS delay}$) reprezintă perioada de timp dintre activarea semnalului *RAS* și activarea semnalului *CAS*. Ca rezultat al activării semnalului *CAS*, decodificatorul adresei de coloană selectează coloana corespunzătoare în care este memorată data. Data solicitată va fi disponibilă într-o perioadă de timp numită *timp de acces la coloană* ($t_{\text{CA}} - \text{Column Access time}$) de la activarea semnalului *CAS*. Pentru memoriile sincrone, se utilizează de obicei un alt parametru, care este strâns legat de timpul de acces la coloană: *latența semnalului CAS* (*CAS Latency* - t_{CL} sau *CL*). Acest timp este exprimat ca un număr întreg de cicluri de ceas între activarea semnalului *CAS* și momentul în care data solicitată este disponibilă în bufferul de ieșire.
- Data selectată este transmisă din bufferul de ieșire pe magistrala de date.

Timpul de acces aleator (t_{RA}) poate fi calculat ca $t_{\text{RA}} = t_{\text{RCD}} + t_{\text{CA}}$. De obicei, timpul de acces aleator este marcat pe capsulele DRAM prin -70, -60, -50 (sau -7, -6, -5). Aceste marcaje se referă la t_{RA} ca fiind 70 ns, 60 ns, respectiv 50 ns.

Dacă o secvență de accese la memorie are aceeași adresă de linie, este suficient să se transfere adresa de linie la circuitul DRAM o singură dată la începutul secvenței. Acest transfer determină citirea și memorarea într-un buffer intern a unei întregi linii de date, numită *pagină*. Pentru un acces ulterior la memorie la aceeași pagină trebuie să se

transfere numai o adresă de coloană, reducând astfel durata efectivă a ciclului. Această durată este redusă și mai mult prin faptul că nu este necesar să se refacă datele din pagină de fiecare dată când este accesat un cuvânt din această pagină. O metodă de acces rapidă de acest tip este numită *mod pagină*. Modul pagină este stabilit prin activarea semnalului *RAS* pentru încărcarea adresei de linie și apoi menținerea activă a acestuia pe durata unei secvențe de transferuri ale adresei de coloană în care semnalul *CAS* este comutat în modul normal. Performanța în mod pagină este indicată de *durata ciclului în mod pagină*, t_{PC} (*page mode cycle time*). Pentru o memorie cu un timp de acces aleator de $t_{\text{RA}} = 60$ ns, o valoare tipică a duratei ciclului în mod pagină este $t_{\text{PC}} = 35$ ns.

Rata de transfer la vârf (*peak bandwidth*) a unui modul DRAM reprezintă cantitatea datelor transferate la rata maximă pentru o configurație dată a magistralei de memorie. Rata de transfer este calculată în mod tipic pentru dimensiunea magistralei unui sistem, cum este magistrala unui procesor de 64 de biți. Rata de transfer la vârf ignoră timpul inițial necesar pentru încărcarea datei din modulul DRAM. *Rata de transfer susținută* (*sustained bandwidth*) a unui modul DRAM ține cont de un acces inițial la memorie, urmat de transferul a patru cuvinte la rata maximă.

Un mod obișnuit de a indica latența unui modul DRAM este sub forma *x-y-y-y*, care indică timpul de acces la primul cuvânt (de obicei, 8 octeți) și la următoarele trei cuvinte (pentru un total de 32 de octeți). De exemplu, indicativul 5-2-2-2 înseamnă că primul cuvânt de memorie va necesita 5 cicluri de ceas pentru acces, în timp ce următoarele trei cuvinte vor necesita câte 2 cicluri de ceas fiecare.

Latența unei memorii sincrone este desemnată de obicei prin trei cifre, care indică latența semnalului *CAS*, întârzierea dintre semnalele *RAS* și *CAS*, respectiv timpul de preîncărcare *RAS*. Aceste latențe sunt exprimate în cicluri de ceas. De exemplu, indicativul 2:2:2 înseamnă că fiecare din cei trei parametri amintiți are o valoare de 2 cicluri de ceas. Anumiți producători preferă să indice latența semnalului *CAS* sub forma CL2 (CAS2) sau CL3 (CAS3).

Categoriile de memorii DRAM

Aproape toate tipurile de memorii DRAM are aceeași întârziere inițială pentru accesul la primul cuvânt de memorie (între 50 ns și 60 ns), deoarece intern toate memoriile DRAM funcționează într-un mod similar. Diferitele tipuri de memorii DRAM utilizează tehnici diferite pentru executarea operațiilor secvențiale de citire după citirea primului cuvânt de memorie, cu rezultate diferite în privința performanțelor obținute. Majoritatea câștigurilor de performanță se obțin prin „ascunderea“ operațiilor interne în diferite moduri.

Inițial, au fost utilizate memoriile DRAM cu interfață asincronă, deoarece procesoarele erau relativ lente. Mai recent, au fost realizate interfețe sincrone cu caracteristici avansate. O interfață *asincronă* este cea la care este necesară o perioadă minimă de timp pentru a asigura ca o operație să fie terminată. Fiecăreia din operațiile interne ale unei memorii DRAM asincrone i se asignează intervale minime de timp, astfel încât dacă apare un impuls de ceas înainte de terminarea acestui interval minim, trebuie să apară un nou impuls de ceas înainte ca următoarea operație să poată începe. Din această cauză, memoriile asincrone au performanțe limitate.

pagina 7
diamond

Pentru creșterea performanțelor memorii-ilor asincrone, producătorii de memorii fie au crescut numărul de biți pe acces, au suprapus diferitele operații pentru minimizarea timpului necesar, sau au eliminat unele operații pentru anumite tipuri de acces. Prin eliminarea unor operații interne și suprapunerea diferitelor operații au fost realizate mai multe tipuri de memorii DRAM asincrone, cum sunt memoriile FPM (*Fast Page Mode*), EDO (*Extended Data Out*) și BEDO (*Burst Extended Data Out*).

O altă categorie de memorii DRAM este cea care utilizează o interfață *sincronă*. Prin implementarea unei interfețe sincrone, s-au eliminat perioadele de așteptare de către procesor, obținându-se de asemenea unele avantaje suplimentare. În cazul funcționării sincrone, se memorează anumite informații de la procesor în circuitele *latch* ale memoriei DRAM sub controlul ceasului sistem. Aceste circuite păstrează adresele, datele și semnalele de control, ceea ce permite procesorului să execute alte operații. După un număr specific de cicluri de ceas, datele devin disponibile și procesorul le poate citi de pe liniile de ieșire.

Un alt avantaj al unei interfețe sincrone este că ceasul sistem este singurul semnal de sincronizare care trebuie furnizat memoriei DRAM. Aceasta elimină necesitatea propagării semnalelor multiple de sincronizare. Intrările sunt de asemenea simplificate, deoarece semnalele de control, adresele și datele pot fi memorate fără temporizările de setare și menținere monitorizate de procesor. Avantaje similare se obțin și pentru operațiile de ieșire.

Toate memoriile DRAM care au o interfață sincronă sunt cunoscute sub numele generic SDRAM. Acestea cuprind JEDEC SDRAM, PC100 SDRAM, DDR SDRAM (*Double Data Rate SDRAM*), CDRAM (*Cache DRAM*), ESDRAM (*Enhanced SDRAM*) și altele.

O altă categorie este reprezentată de memoriile DRAM bazate pe protocoale. Categoriile precedente de memorii au linii separate

de adrese, date și control, care limitează viteza la care poate funcționa circuitul cu tehnologia curentă. Pentru eliminarea acestui dezavantaj, au fost proiectate memorii DRAM bazate pe protocoale, care implementează toate aceste semnale pe aceeași magistrală. Cele mai cunoscute memorii din această categorie sunt DRDRAM (*Direct Rambus DRAM*) și SLDRAM (*SyncLink DRAM*).

FPM DRAM

Prin implementarea unor moduri speciale de acces, se pot elimina anumite operații interne pentru anumite tipuri de acces. Prima implementare de acest tip este accesul în mod pagină (*Page Mode*), care a fost prezentată anterior. Prin această metodă, semnalul *RAS* este menținut activ astfel încât o întregă linie de date (sau o pagină) este menținută în bufferele interne de coloană. Conținutul acestor buffere poate fi apoi accesat doar prin ciclarea semnalului *CAS*. Aceasta asigură operații de citire mult mai rapide, deoarece timpii de setare și menținere pentru adresa de linie sunt eliminați. Acest tip de acces este avantajos doar pentru unele aplicații.

Memoria *Fast Page Mode* (FPM) utilizează o îmbunătățire a accesului în mod pagină prin eliminarea timpului de setare a adresei de coloană în timpul ciclului de pagină. Aceasta s-a realizat prin activarea bufferele pentru adresele de coloană pe frontul descrescător al semnalului *RAS*, și nu al semnalului *CAS*. Deoarece semnalul *RAS* rămâne în starea logică 0 pe durata întregului ciclu de pagină, aceasta permite ca setarea adresei să se realizeze de îndată ce adresa de coloană este validă, fără a se aștepta frontul descrescător al semnalului *CAS* (Figura 2).

În ciuda numelui, FPM este tehnologia cea mai lentă de memorie DRAM existentă acum. Temporizările tipice sunt 6-3-3-3 (o întârziere inițială de 6 cicluri de ceas, cu un acces la pagină de 3 cicluri de ceas). Utilizarea acestei tehnologii nu necesită măsuri speciale pentru compatibilitate. Memoria FPM este

recomandată numai atunci când sistemul nu permite nici una din celelalte tipuri de memorii (de exemplu, sistemele bazate pe procesorul 80486).

EDO DRAM

Memoria EDO (*Extended Data Out*), numită și memorie *HyperPage Mode*, reprezintă o altă îmbunătățire a memoriei DRAM asincrone. În cazul memoriei EDO, o operație de citire poate începe înainte de terminarea ultimului acces. Bufferele de ieșire nu se dezactivează la frontul crescător al semnalului *CAS*. Aceasta permite ca durata minimă a ciclului pentru semnalul *CAS* să fie redusă (Figura 3).

Memoria EDO utilizează aceeași dimensiune a capsulei ca și memoria DRAM convențională. Costurile de producție ale memoriei EDO sunt aceleași ca și cele ale memoriei FPM. Îmbunătățirea performanțelor față de memoria FPM este cu 5 până la 10%. Memoria EDO asigură performanțe corespunzătoare cu magistrale de memorie având frecvențe de până la 83 MHz. În cazul în care circuitele sunt suficient de rapide (cu timpi de acces de 55 ns sau mai mici), memoria EDO poate fi utilizată chiar și cu o magistrală de memorie de 100 MHz. Unul din avantajele memoriei EDO este că toate seturile de circuite ale plăcilor de bază actuale permit utilizarea acesteia fără probleme de compatibilitate, spre deosebire de unele memorii sincrone utilizate actualmente.

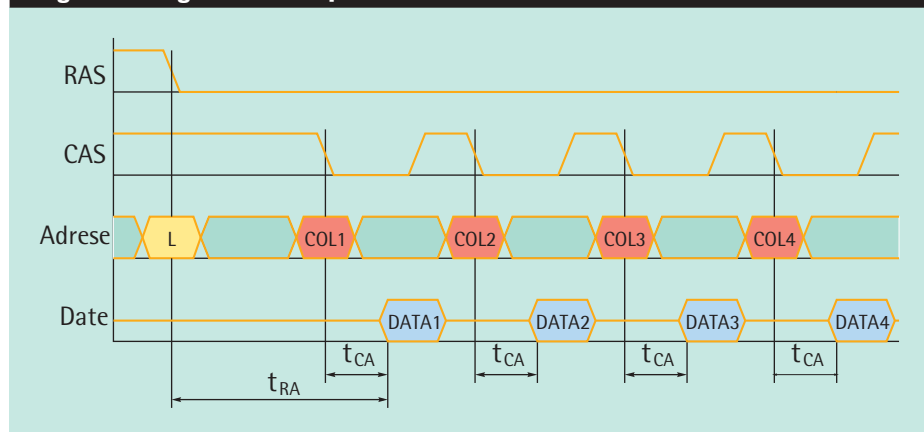
Cu toate avantajele menționate, memoria EDO nu este o memorie cu performanțe ridicate. Cei mai mulți fabricanți au renunțat la producția acestei memorii, sau au o producție limitată. Din acest motiv, prețul acestei memorii a crescut, iar prețul unui modul SDRAM cu o dimensiune echivalentă este mai redus.

BEDO DRAM

În cazul memoriei BEDO (*Burst EDO*), memoria EDO este combinată cu tehnologia *pipeline* și circuite *latch* speciale pentru a reduce timpul de acces. Adăugarea unui mod de transfer exploziv (*burst*) și utilizarea unei arhitecturi cu bancuri duale asigură o temporizare de 4-1-1-1 la 66 MHz. Modul de transfer exploziv este o îmbunătățire a modului pagină, deoarece după furnizarea primei adrese următoarele 3 adrese sunt generate intern, eliminându-se astfel timpul necesar furnizării unei noi adrese de coloană.

Costul suplimentar ale memoriei BEDO față de memoria DRAM convențională este redus. Îmbunătățirea față de memoria EDO este mai semnificativă decât cea obținută de memoria EDO față de memoria DRAM convențională. Memoria BEDO permite utilizarea unor frecvențe mai ridicate a magistralei de memorie, de până la 100 MHz. Cu toate acestea, memoria BEDO nu mai este utilizată, în principal datorită lipsei unor

Figura 2. Diagrama de timp a memoriei FPM



seturi de circuite care să permită utilizarea acesteia. Firma Intel a considerat că memoria de tip EDO nu mai este viabilă, și de aceea nu a implementat suportul necesar pentru memoria BEDO în seturile de circuite. Mai mulți producători importanți de memorii au alocat timp și fonduri considerabile pentru dezvoltarea memoriilor SDRAM, și nu au avut interesul sprijinirii memoriei BEDO.

SDRAM

Toate memoriile care au o interfață sincronă sunt cunoscute sub numele generic SDRAM (*Synchronous* DRAM). Aceste memorii cuprind PC100 SDRAM, PC133 SDRAM, DDR SDRAM, CDRAM, ESDRAM și altele. Totuși, tipul de memorie care se numește cel mai adesea SDRAM este memoria sincronă elaborată conform standardului JEDEC (*Joint Electron Device Engineering Council*). JEDEC este un comitet al Asociației Industrii Electronice (*Electronic Industries Association* – EIA) din S.U.A., care elaborează standarde electrice pentru încapsulare, configurația pinilor și alte caracteristici ale dispozitivelor semiconductoare.

Principiul memoriei SDRAM

Memoria DRAM sincronă este complet diferită în ceea ce privește arhitectura sa și metodele de control față de memoria DRAM asincronă. Prima diferență este configurația memoriei SDRAM, care utilizează o arhitectură cu bancuri multiple. Modulele tipice SDRAM au 2 sau 4 bancuri pe modul, permițând ca un banc să fie preîncărcat în timp ce celelalte sunt citite sau scrise. Astfel, nu numai că timpurile de preîncărcare sunt mascați, dar pot fi accesate simultan linii multiple în fiecare banc al memoriei.

A doua diferență este că memoria SDRAM poate funcționa în mod exploziv pentru 1 bit, 2 biți, 4 biți, 8 biți, sau o pagină completă. În mod exploziv, la fiecare tranzacție cu memoria se transferă mai multe locații cu adrese consecutive. Modul exploziv este avantajos deoarece instrucțiunile și datele sunt citite în ordine secvențială în majoritatea timpului. De exemplu, atunci când este prezentă o memorie *cache* L2, sunt transferate blocuri de memorie de dimensiune fixă, conținând cuvinte cu adrese consecutive. Modul exploziv este controlat printr-un registru de mod care poate fi setat la punerea sub tensiune și poate fi modificat în timpul funcționării. Acest registru controlează tipul transferului exploziv (secvențial sau întretesut), lungimea transferului exploziv și latența semnalului *CAS*.

Un alt factor care deosebește memoria DRAM sincronă de memoria DRAM asincronă este metoda de control. Memoria DRAM asincronă este controlată de setul de circuite pe baza relației de temporizare dintre semnalele \overline{RAS} , \overline{CAS} , \overline{WE} și \overline{OE} . Memo-

ria DRAM sincronă este controlată prin comenzi care sunt plasate pe magistrală. O comandă SDRAM este determinată de o anumită combinație a semnalelor \overline{CS} , \overline{RAS} , \overline{CAS} și \overline{WE} . La fiecare front crescător al semnalului de ceas *CLK*, comanda este memorată și apoi va fi executată. Semnalele de comandă nu mai trebuie interpretate pe baza relației de temporizare între ele, ci numai la frontul crescător al ceasului.

Primele module SDRAM conțineau doar două linii de ceas, dar s-a determinat în scurt timp că acestea erau insuficiente. Aceasta a creat două tipuri de module, cu 2 și cu 4 linii de ceas, care nu sunt compatibile între ele. Actualmente, cele mai utilizate module sunt cele cu 4 linii de ceas. Prin utilizarea a patru linii de ceas în loc de două, încărcarea globală capacitivă pentru fiecare linie de ceas va fi redusă, rezultând timpuri mai reduși de creștere și descreștere a tensiunilor.

Modulele de memorie SDRAM conțin un circuit de memorie EEPROM, numit SPD (*Serial Presence Detect*). Acest circuit conține informații despre modulul SDRAM, cum sunt setările de temporizare. Setul de circuite poate citi aceste setări de la modulul SDRAM, astfel încât modulul poate funcționa mai fiabil pe un număr mai mare de plăci de bază.

Viteza memoriilor SDRAM este exprimată în MHz, și nu în nanosecunde. Astfel există o corespondență între viteza magistralei și viteza memoriei, deoarece teoretic memoria SDRAM permite funcționarea fără stări de așteptare, la o rată de un acces pe ciclu de ceas, după o întârziere inițială. O indicație a vitezei memoriei este durata ciclului de ceas (t_{CLK}), care este marcată de obicei pe capsulele de memorie. De exemplu, valori ca -12, -10 sau -8 aflate pe o capsulă SDRAM indică durata minimă a ciclului de ceas pentru componenta respectivă, în ns. O valoare -10 înseamnă că frecvența maximă a ceasului memoriei este de 100 MHz.

Tipuri de memorii SDRAM

Memoriile SDRAM originale nu funcționau corespunzător la frecvențe de peste 83 MHz. Pentru a soluționa această problemă, în 1998 firma Intel a introdus specificația PC100 ca un ghid pentru ca producătorii să construiască module care să funcționeze corect pe o magistrală sistem de 100 MHz, utilizând setul de circuite i440BX al Intel. Prin specificația PC100, Intel a elaborat un număr de recomandări pentru lungimea și lățimea traseelor, spațiul dintre acestea, numărul de straturi ale plăcii imprimate, specificații pentru programarea memoriei EEPROM (SPD) etc. O memorie SDRAM care se conformează acestei specificații este numită memorie **PC100**. În mod ideal, memoria PC100 poate atinge o temporizare de 4-1-1-1. La o frecvență de 100 MHz, există $100 \cdot 10^6$ cicluri de ceas pe secundă, și se poate transfera maxim un cuvânt (8 octeți) în fiecare ciclu. Rata de transfer maximă teoretică este deci de 800 MB/s.

Ulterior, Intel a elaborat specificațiile pentru memoriile **PC133** și **PC150**, care pot funcționa stabil la 133 MHz, respectiv 150 MHz. La 133 MHz, rata de transfer maximă teoretică este de $8 \cdot 133 = 1064$ MB/s, în timp ce la 150 MHz, această rată de transfer este de $8 \cdot 150 = 1200$ MB/s.

FCRAM

FCRAM (*Fast Cycle RAM*) este o tehnologie dezvoltată de firma Fujitsu Microelectronics. Fiecare banc de memorie FCRAM este subdivizat în mini-zone (Figura 4). Această subdiviziune îmbunătățește timpul de acces aleator și reduce puterea consumată comparativ cu memoria SDRAM standard. Se utilizează o arhitectură *pipeline* cu trei etaje, care permite ca următorul acces aleator să înceapă în timp ce data precedentă este transmisă la ieșire. Un set de operații care specifică o adresă poate fi urmat imediat de operația următoare (de exemplu, preîncărcarea) fără a fi necesar să se aștepte transmiterea datelor la

Figura 3. Diagrama de timp a memoriei EDO

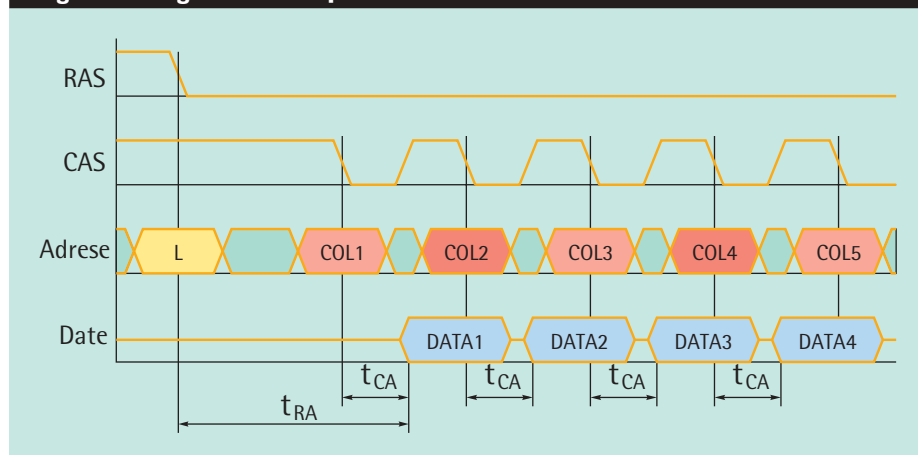
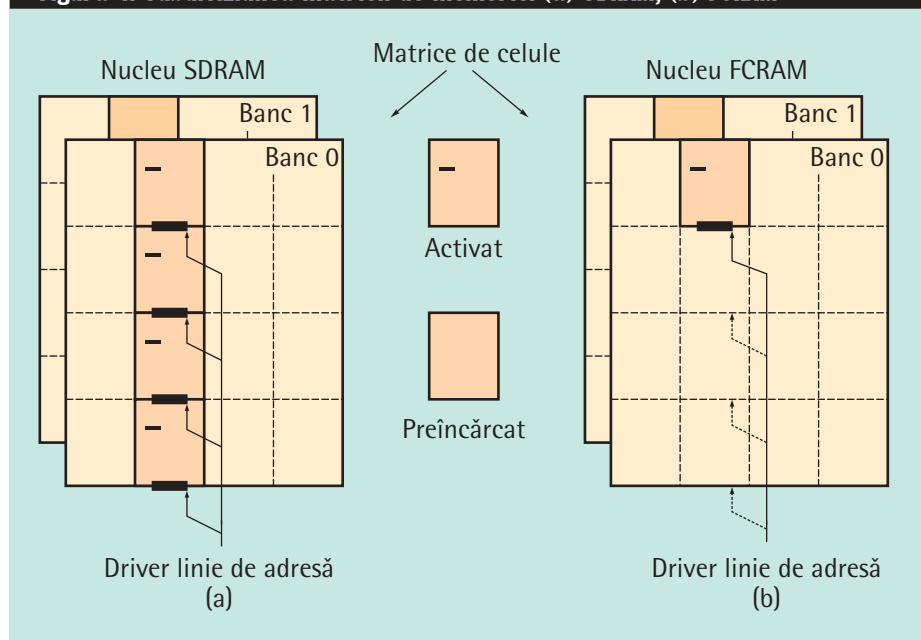


Figura 4. Subdiviziunea matricii de memorie: (a) SDRAM; (b) FCRAM



ieșire. Astfel, operația de preîncărcare poate fi executată automat de memorie pe măsură ce operațiile sunt terminate. Deci, operația de preîncărcare este ascunsă.

Tehnologia FCRAM a fost dezvoltată pentru a îmbunătăți în mod semnificativ timpul de acces aleator chiar și la frecvențe reduse, prin reducerea ciclurilor inactivi ori de câte ori este posibil. Ca rezultat, utilizarea efectivă a magistralei va crește. Memoria FCRAM poate funcționa cu o latență a semnalului CAS egală cu 1, care nu este permisă de obicei de memoria SDRAM standard.

Figura 5 prezintă o comparație între operația de scriere la memoria SDRAM standard și memoria FCRAM. DQ reprezintă liniile de date. În cazul memoriei SDRAM standard (Figura 5(a)), în ciclul de ceas 0 ($t = 0$) se generează o comandă de activare (ACT) și o adresă de linie, iar la $t = 2$ se generează o comandă de scriere (WR) și data pentru scriere. La $t = 4$, se generează o comandă de preîncărcare (PR), iar memoria poate continua cu următoarea operație de acces aleator la $t = 6$.

În cazul memoriei FCRAM (Figura 5(b)), după ce se generează comanda de activare (ACT) și adresa de linie la $t = 0$, se generează o comandă de scriere cu preîncărcare automată (WRAP - Write with Auto Precharge) în următorul ciclu la $t = 1$. Deoarece operația de preîncărcare este executată automat de circuitul de memorie, poate începe o nouă operație de acces aleator în următorul ciclu la $t = 2$, comparativ cu $t = 6$ pentru memoria SDRAM standard.

Firma Fujitsu a dezvoltat mai multe circuite bazate pe tehnologia FCRAM, cu performanțe apropiate de cele ale tehnologiei SRAM. Aceste circuite, cu capacități de 16 Mbiți, 64 Mbiți și 256 Mbiți, sunt destinate în special aplicațiilor fără fir, grafice, de rețea și electronicii de consum. Acestea au o interfață SDRAM sau DDR SDRAM. Primul circuit comercial FCRAM al firmei Fujitsu

este un circuit de memorie de 64 Mbiți cu 8 bancuri, cu o magistrală de date de 32 de biți și o interfață DDR. Frecvența ceasului este de 200 MHz, ceea ce înseamnă (pentru o interfață DDR) o rată de transfer a datelor de 400 Mbiți/pin, sau 3,2 GB/s.

Circuitul FCRAM MB81E161622, dezvoltat de firma Fujitsu pentru o funcționare la frecvențe reduse, are o capacitate de 16 Mbiți. Acest circuit are caracteristicile circuitelor SDRAM existente, cu excepția unei funcții CL = 3, care nu este permisă. În schimb, a fost inclusă o nouă funcție CL = 1. Anumite controlere de memorie nu permit însă funcționarea cu CL = 1; în asemenea cazuri, este necesară implementarea unei funcții CL = 1 în controlerul de memorie. Prin funcționarea la frecvențe reduse, se evită problema interferenței electromagnetice. Pentru a menține compatibilitatea cu memoriile SDRAM existente, este acceptată o comandă de preîncărcare a fiecărui banc de memorie. Pentru a utiliza însă avantajele latenței reduse, se recomandă operațiile de citire și scriere cu preîncărcare automată.

Pe baza tehnologiei FCRAM, firma Fujitsu a dezvoltat de asemenea mai multe circuite de memorie pentru aplicații de telefonie celulară. De obicei, în telefoanele celulare se utilizează două tipuri de memorii: memoria flash (EEPROM) și memoria SRAM cu un consum redus de putere. Aceasta din urmă este disponibilă la prețuri rezonabile, dar este limitată la capacități de până la 8 Mbiți. Ca o nouă alternativă la această memorie, la mijlocul anului 2000 firma Fujitsu a introdus un circuit de memorie Mobile FCRAM de 16 Mbiți (MB82D01160). Acest circuit utilizează o interfață asincronă (obișnuită la telefoanele celulare), astfel încât proiectanții telefoanelor celulare pot moderniza cu ușurință memoria fără a efectua modificări arhitecturale majore.

O versiune mai nouă a circuitului Mobile FCRAM, MB82D01171A, reduce curentul consumat în modul „standby” la 70 mA, ceea ce înseamnă o reducere cu 30% față de versiunea precedentă. Noua versiune implementează funcția „power-down” propusă de Fujitsu. Această funcție utilizează circuitul FCRAM ca memorie temporară pentru unitatea centrală a unui telefon celular, eliminând astfel necesitatea reținerii datelor în memoria de lucru în timpul modului „standby”. Astfel, consumul de curent al memoriei RAM în acest mod este redus (curentul consumat în modul „power-down” este de 10 mA). Aceasta contribuie la o durată mai lungă a bateriei, factorul major în cazul telefoanelor celulare.

Dr. Baruch Zoltan este conferențiar la Catedra de Calculatoare a Universității Tehnice din Cluj-Napoca și poate fi contactat prin e-mail la adresa: Zoltan.Baruch@cs.utcluj.ro. ■ 98

Figura 5. Comparație între operațiile de scriere: (a) SDRAM, CL = 2; (b) FCRAM, CL = 1

