

# Tehnologii de memorii DRAM

În prima parte a acestei serii de trei articole au fost prezentate memoriile FPM, EDO, BEDO, SDRAM și FCRAM. În această a doua parte sunt descrise memoriile HSDRAM, ESDRAM, Virtual Channel SDRAM și DDR SDRAM.

– Baruch Zoltan

## HSDRAM

Memoria HSDRAM (*High Speed DRAM*) utilizează circuite de calitate ridicată în scopul creșterii frecvenței peste cea a memoriei SDRAM convenționale. Anumite circuite de memorie HSDRAM pot funcționa mai fiabil și cu întârzieri mai reduse la 133 MHz, iar altele pot funcționa la frecvențe de 150 MHz sau 166 MHz. Memoria HSDRAM este compatibilă cu memoria SDRAM convențională, îmbunătățind în același timp performanța și stabilitatea sistemelor. Această memorie era destinată inițial sistemelor cu performanțe ridicate, cuprinzând calculatoare personale, stații de lucru, servere, sisteme DSP și sisteme grafice 3D. Ulterior, circuitele de memorie HSDRAM au fost incluse și în alte arhitecturi de memorii, ca ESDRAM și DDR SDRAM.

## ESDRAM

În scopul îmbunătățirii performanței modulelor de memorie SDRAM convenționale, unii producători au inclus în circuitele de memorie o memorie statică SRAM, aceasta având rolul unei memorii *cache*. O asemenea memorie este ESDRAM (*Enhanced SDRAM*), dezvoltată în 1997 de firma Enhanced Memory Systems, o filială a firmei Ramtron Internationala.

Memoria ESDRAM constă dintr-o memorie SDRAM și o memorie *cache* de linie. Această memorie *cache* cu mapare directă păstrează conținutul liniei active, eliberând astfel matricea de memorie DRAM, care poate accesa o altă linie în timp ce

conținutul liniei precedente este transferat în bufferele de ieșire. Principiul este că, în loc de a se încerca reducerea întârzierilor prin utilizarea unor componente mai rapide, aceste întârzieri sunt „ascunse” prin suprapunerea anumitor operații.

Într-o memorie SDRAM convențională, datele trebuie refăcute prin rescrierea conținutului unei linii înainte de a putea activa o altă linie. Memoria ESDRAM suprapune transferul în mod exploziv al datelor din memoria *cache* de linie în bufferele de ieșire cu

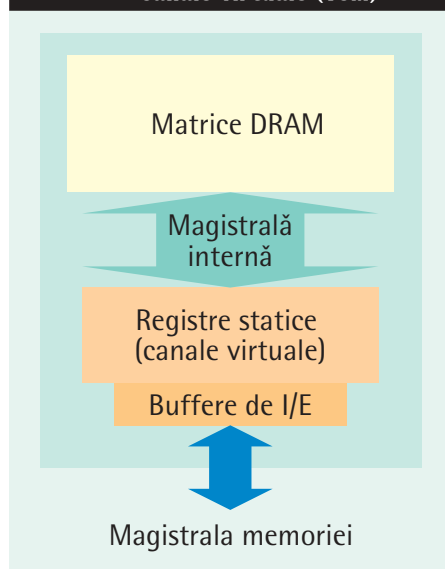
operația de preîncărcare (refacerea conținutului unei linii pentru a activa o altă linie). Aceasta se numește „auto-preîncărcare ascunsă”. Astfel, timpul de preîncărcare *RAS* ( $t_{RP}$ ) este eliminat. De obicei, o memorie ESDRAM permite activarea simultană a mai multor linii (pagini).

Activarea unei noi linii, care implică prezența datelor pe liniile de bit și amplificatoarele de detecție, poate fi de asemenea suprapusă cu transferul datelor din memoria *cache* de linie în bufferele de ieșire. Rezultatul este că întârzierea între semnalele *RAS* și *CAS* ( $t_{RCD}$ ) este eliminată sau redusă. Latența semnalului *CAS* ( $t_{CL}$ ) este de asemenea redusă, deoarece citirea se efectuează din memoria *cache* de linie, cu un timp de acces la coloană substanțial mai redus. Spre deosebire de memoria SDRAM convențională, împărsăpătarea matricei de memorie DRAM poate fi executată în timpul unei operații de citire în mod exploziv. Conținutul memoriei *cache* de linie nu este pierdut în timpul ciclurilor de reimprospătare.

Memoriile ESDRAM utilizează tehnica *pipeline* pentru a funcționa în mod exploziv cu latențe reduse la frecvențe de până la 166 MHz sau 200 MHz. Pentru a funcționa la aceste frecvențe, modulele de memorie ESDRAM conțin circuite de memorie cu performanțe ridicate (HSDRAM).

Memoriile ESDRAM sunt compatibile la nivel de pini și funcții cu memoriile SDRAM conforme cu standardul JEDEC, utilizând aceleași module DIMM (*Dual In-line Memory Module*) cu 168 de pini. Astfel,

Figura 1. Arhitectura memoriei cu canale virtuale (VCM)



este posibilă realizarea unui singur controler pentru ambele tipuri de memorii, care poate funcționa în două moduri. Totuși, trebuie schimbate anumite setări în sistemul BIOS al calculatorului, pentru ca acesta să recunoască întârzierea mai redusă între semnalele *RAS* și *CAS* și latența mai redusă a semnalului *CAS* pe care o oferă memoria ESDRAM. Pe baza timpului de acces la coloană (*tCA* – *Column Access time*) indicat în specificațiile memoriei, utilizatorul poate calcula latența semnalului *CAS* pentru orice frecvență de funcționare. În concluzie, memoria ESDRAM poate asigura o modernizare simplă pentru sistemele cu memorie SDRAM, dacă sistemul BIOS poate recunoaște întârzierile mai reduse.

Arhitectura ESDRAM este compatibilă și cu alte standarde de memorie, ca DDR și DDR II. Astfel, memoria ESDRAM poate fi utilizată pentru a îmbunătăți performanțele memoriilor DDR și DDR II. Arhitectura ESDRAM a fost aprobată în 1998 de comitetul JEDEC ca un superset al standardelor SDRAM și DDR SDRAM.

Dezavantajul memoriei ESDRAM este costul mai ridicat, deoarece utilizează circuite de calitate ridicată și o memorie SRAM, ca și datorită faptului că nu este fabricată în cantități foarte mari. Aceasta limitează utilizarea memoriei ESDRAM la calculatoarele personale, dar oferă o alternativă cu un cost mai redus decât al memoriilor SRAM sincrone pentru procesoare de semnal, controlere și alte aplicații.

Firma Enhanced Memory Systems a propus și o versiune cu costuri reduse a arhitecturii ESDRAM, care este numită ESDRAM-*lite*. În această arhitectură mai simplă, mai multe linii ale matricei de memorie DRAM partajează aceeași memorie *cache* de linie, utilizând multiplexarea în timp. Memoria *cache* de linie este plasată central, ceea ce necesită numai rearanjarea matricei de memorie DRAM în cadrul capsulei pentru a face loc memoriei *cache* de linie. Creșterea spațiului ocupat în cadrul capsulei față de memoria SDRAM convențională a fost calculată la aproximativ 1,4%, creșterea performanței fiind în jur de 12%. Memoria ESDRAM-*lite* este de asemenea compatibilă cu standardele DDR și DDR II.

### Memoria Virtual Channel

Memoria cu canale virtuale (VCM – *Virtual Channel Memory*) a fost proiectată de firma NEC ca o arhitectură deschisă. A fost introdusă în 1997 și a fost standardizată de comitetul JEDEC în 1998. Similar cu memoria ESDRAM, memoria VCM utilizează o memorie *cache* SRAM pentru a îmbunătăți timpul de acces mediu. Memoria *cache* este implementată ca un set de registre statice rapide plasate între matricea DRAM

și bufferele de I/E (Figura 1). Aceste registre sunt cu porturi duale și formează mai multe „canale virtuale”, care pot fi utilizate de dispozitive diferite pentru accesul la memorie. Registrele comunică cu matricea DRAM printr-o magistrală cu lățime foarte mare, ceea ce asigură o rată de transfer ridicată pentru transferurile interne de date.

Deși arhitectura ESDRAM utilizează de asemenea o memorie *cache*, în cazul memoriei VCM implementarea memoriei *cache* este diferită. Arhitectura ESDRAM utilizează o memorie *cache* cu mapare directă, în timp ce arhitectura VCM utilizează o memorie *cache* complet asociativă sau asociativă pe seturi. În cazul unei memorii *cache* complet asociative, oricare linie DRAM dintr-un banc poate fi încărcată în oricare canal virtual. Se utilizează un algoritm „write-back”, astfel încât datele sunt scrise într-un canal virtual înainte de salvarea lor în matricea DRAM. Spre deosebire de memoria ESDRAM, nu memoria însăși, ci controlerul memoriei sistemului este cel care implementează algoritmi de gestiune a memoriei *cache* și funcțiile acestei memorii.

Controlerul memoriei sistemului poate asigna canale virtuale multiple unor porțiuni ale aceluiași banc de memorie (Figura 2). Fiecare canal virtual poate conține date din mai multe bancuri ale memoriei DRAM. Prin păstrarea datelor în mai multe canale virtuale între matricea DRAM și terminalele de I/E, memoria poate pregăti alte cereri de date într-un canal separat în timpul citirii sau scrierii datelor curente.

Memoria VCM poate îmbunătăți performanțele în sistemele *multitasking*, unde memoria este accesată de către diferite dispozitive: una sau mai multe unități centrale, un accelerator grafic, un adaptor de rețea, o placă de rețea și alte dispozitive de I/E. Fiecare din aceste dispozitive are acces la memorie pe

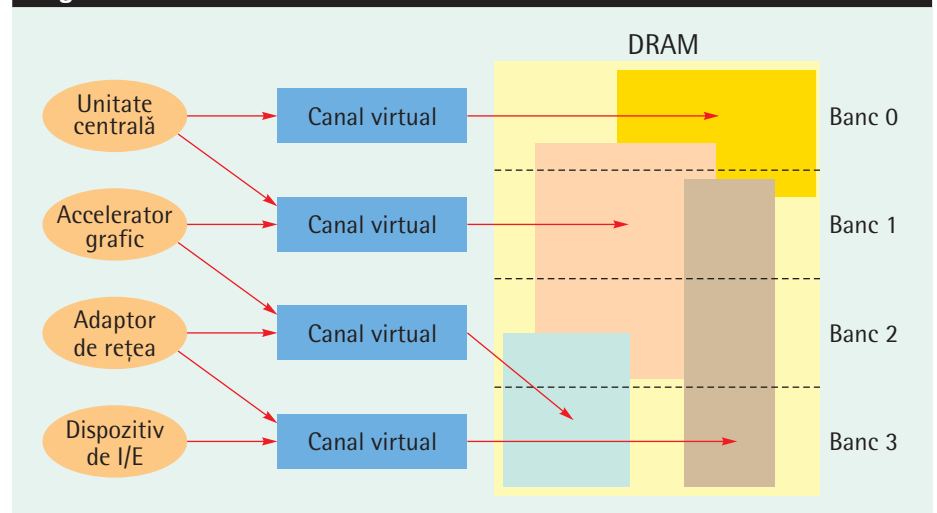
baza adresei, a dimensiunii blocului și a numărului de accesuri în zone contigue. Memoria VCM asigură un canal independent cu propriile resurse pentru accesul la matricea de memorie. Rezultă astfel întârzieri reduse, rate de transfer ridicate și o eficiență îmbunătățită a magistralei de memorie.

Circuitele de memorie VCM ale firmei NEC conțin 16 canale virtuale, fiecare de câte 1 Kbit, care pot fi alocate unui banc de memorie DRAM. Astfel, memoria *cache* este un set asociativ cu 16 căi. Operațiile de citire și scriere se execută utilizând aceste canale. Operațiile interne, cum sunt transferurile de date între celulele de memorie și bufferele canalelor (preîncărcare și refacere), ca și operația de reîmprospătare a celulelor de memorie, sunt executate în paralel cu cele de citire și scriere (Figura 3). Operațiile de preîncărcare (*prefetch*) și refacere (*restore*) sunt executate utilizând un bloc numit segment. Există câte patru segmente în fiecare linie a memoriei. Operațiile de preîncărcare sunt executate de la un segment de memorie la un canal virtual, în timp ce operațiile de refacere sunt executate de la un canal virtual la un segment de memorie.

Comparativ cu memoria *cache* cu mapare directă a memoriei ESDRAM, memoria *cache* cu seturi asociative a memoriei VCM oferă o eficiență mai ridicată, având însă și două dezavantaje importante. Primul dezavantaj este că memorarea datelor într-un buffer de canal crește întârzierea inițială cu un ciclu de ceas. De asemenea, în cazul în care datele nu se află într-o pagină deschisă, un canal trebuie evacuat, deci datele trebuie rescrise în celulele de memorie. Evacuarea unui canal necesită cel puțin trei comenzi, deci 6-9 cicluri de ceas. Totuși, aceste întârzieri sunt compensate de utilizarea memoriei *cache*.

Al doilea dezavantaj este că implementarea controlerului memoriei VCM

Figura 2. Canale virtuale ale memoriei VCM



necesită în plus un număr de 80.000-110.000 porți (un controler tipic de memorie conține în jur de 50.000 de porți). De exemplu, controlerul de memorie trebuie să conțină 16 buffere FIFO în fiecare banc de memorie, câte unul pentru fiecare canal virtual. Controlerul trebuie să țină evidența paginilor care sunt deschise în cele 16 canale virtuale ale fiecărui banc de memorie. Este necesară implementarea un algoritmul sofisticat de gestiune a paginilor pentru a optimiza numărul operațiilor de deschidere și închidere a paginilor, ca și pentru deschiderea paginilor pe baza unei predicții.

Arhitectura VCM poate fi încorporată în oricare tehnologie sau interfață de memorie, existentă sau viitoare, ca SDRAM, DDR SDRAM sau Rambus DRAM. Atunci când se utilizează cu o interfață SDRAM, modulele de memorie VCM utilizează aceleași configurații de pini, capsule și interfețe ca și

## DDR SDRAM

### Prezentare generală

Numele memoriei DDR (*Double Data Rate*) SDRAM provine de la tehnica transferării datelor atât pe frontul crescător, cât și pe cel descrescător al semnalului de ceas. Această tehnică crește semnificativ eficiența magistralei de memorie pentru transferurile de date. Un modul de memorie DDR SDRAM cu un ceas de 133 MHz oferă o rată de transfer la vârf de 2100 MB/s, comparativ cu o rată de transfer la vârf de 1066 MB/s pentru un modul de memorie SDRAM cu aceeași frecvență de ceas. Totuși, acesta nu înseamnă că rata de transfer medie este dublată și ea.

DDR nu este o tehnologie complet nouă. Variante ale memoriei DDR au început să apară în 1997, iar mai târziu tehnica DDR a fost utilizată pentru diferite plăci video cu

pinii de I/E, fiecare pe timpul unei jumătăți a ciclului de ceas. Astfel, magistrala internă de date are o lățime dublă față de cea indicată de interfața externă.

Un semnal de strob bidirecțional de date (*DQS*) este transmis extern împreună cu datele, pentru a fi utilizat de către receptorul datelor. Semnalul *DQS* este transmis de memoria DDR SDRAM în timpul operațiilor de citire și de către controlerul de memorie în timpul operațiilor de scriere. Strobul de date permite ajustarea variațiilor datorate nesimetriei de propagare a semnalului de ceas și a lungimii de interconectare în sistemele cu module multiple de memorie.

Memoria DDR SDRAM funcționează cu două semnale diferențiale de ceas: *CK* și *CK*. Intersecția dintre frontul crescător al semnalului *CK* cu frontul descrescător al semnalului *CK* reprezintă frontul crescător al semnalului de ceas. Comenzile (semnalele de adresă și control) sunt memorate la fiecare front crescător al semnalului de ceas.

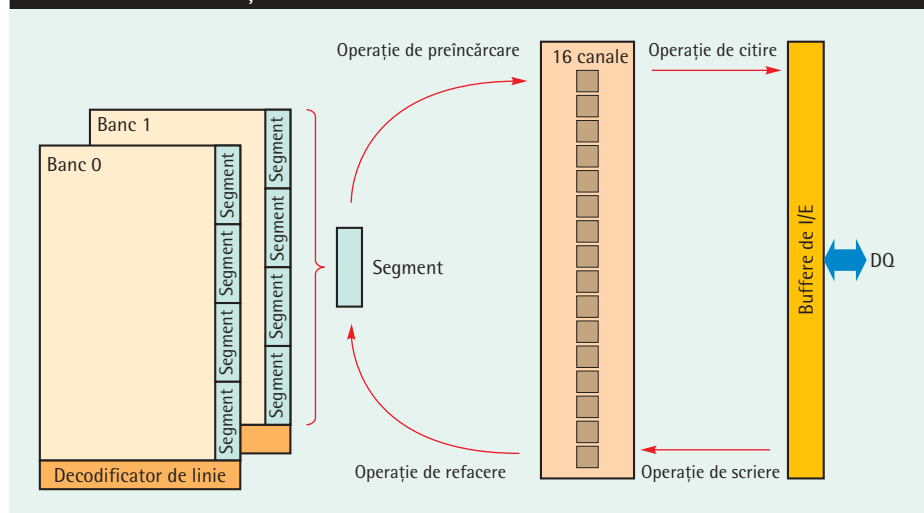
Accesurile de citire și scriere se efectuează în mod exploziv. Ele încep de la o locație selectată și continuă pentru un număr programabil de locații. Lungimea transferului exploziv poate fi programată la 2, 4 sau 8 locații. Accesurile încep cu memorarea unei comenzi de activare (*Active*), urmată apoi de o comandă de citire (*Read*) sau scriere (*Write*). Biții de adresă memorati cu o comandă de activare sunt utilizați pentru a selecta bancul și linia care va fi accesată. Biții de adresă memorati cu o comandă de citire sau scriere sunt utilizați pentru a selecta bancul și coloana de început pentru accesul în mod exploziv. Poate fi validată o funcție de preîncărcare automată (*Auto Precharge*) pentru preîncărcarea liniei, inițiată la sfârșitul accesului în mod exploziv.

Latența semnalului *CAS* poate fi setată la 2 sau 2,5 cicluri de ceas; aceasta din urmă înseamnă 5 fronturi ale semnalului de ceas (crescătoare sau descrescătoare). Standardul JEDEC specifică de asemenea latențe opționale ale semnalului *CAS* de 1,5 sau 3 cicluri de ceas.

Din cauza vitezelor de transfer ridicate, pe o magistrală puternic încărcată nu poate fi utilizată interfața TTL pentru bufferele de I/E. De aceea, memoria DDR SDRAM utilizează o interfață de I/E numită *SSTL\_2 (Stub-Series Terminated Logic)*. Această interfață a fost dezvoltată pentru circuite care funcționează la 2,5 V, existând și o versiune anterioară dezvoltată pentru circuite care funcționează la 3,3 V, numită *SSTL\_3*.

Memoria DDR SDRAM utilizează de asemenea module DIMM, dar acestea nu sunt compatibile cu modulele DIMM utilizate de memoria SDRAM convențională. De aceea, memoria DDR SDRAM poate fi utilizată doar pe plăci de bază cu socluri adecvate.

**Figura 3. Suprapunerea operațiilor de preîncărcare și refacere cu operațiile de citire și scriere la memoria VCM**



modulele SDRAM convenționale. Aceste module sunt compatibile cu modulele DIMM cu 168 de pini. Modulele VCM SDRAM pot fi utilizate însă doar pe o placă de bază cu un set de circuite adecvat. Se estimează că performanța modulelor VCM SDRAM este mai ridicată cu 2-5% față de cea a modulelor SDRAM convenționale.

În 1999, firmele NEC și Hyundai Microelectronics au semnat un acord pentru a promova utilizarea tehnologiei VCM. Un acord similar a fost semnat între firmele NEC și Hitachi la sfârșitul aceluiași an, formându-se noua companie NEC Hitachi Memory. Proiectarea și dezvoltarea circuitelor de memorie a început în anul 2000. Firma NEC și-a asigurat seturi de circuite pentru memoria VCM de la producătorii Silicon Integrated Systems, Via Technologies și Acer Laboratories.

performanțe ridicate. Această tehnică a fost utilizată și pentru alte tipuri de memorii, ca MDRAM (*Multi-bank DRAM* sau *MoSys DRAM*), SLDRAM (*SyncLink DRAM*) și DRDRAM (*Direct Rambus DRAM*). Pornind de la aceste variante, au fost elaborate specificații deschise, care nu sunt protejate de licențe. Aceste specificații au fost standardizate de comitetul JEDEC în anul 2000. Primele module de memorie DDR SDRAM bazate pe aceste specificații, funcționând cu un ceas de 133 MHz, au fost disponibile în cantități limitate la sfârșitul anului 2000, dar distribuția pe scară mai largă a început în anul 2001.

Un acces de citire sau scriere la memoria DDR SDRAM constă dintr-un singur transfer de date de  $2n$  biți la/de la matricea internă DRAM pe timpul unui ciclu de ceas, și două transferuri de date de  $n$  biți la/de la

Principala diferență este creșterea numărului de pini de la 168 la 184. Modulele DDR DIMM au însă aceleași dimensiuni ca și modulele SDRAM DIMM. Circuitele de memorie DDR SDRAM funcționează la 2,5 V în loc de 3,3 V. Puterea consumată este redusă astfel cu 25%.

#### Operația de citire

O operație de citire în mod exploziv este inițiată cu o comandă *Read*. Adresa bancului și coloana de început sunt furnizate cu această comandă. Operația de preîncărcare automată poate fi validată sau invalidată pentru accesul curent.

La o operație de citire, cuvântul de la adresa de coloană indicată va fi disponibil după un timp egal cu latența semnalului *CAS* de la comanda *Read*. Fiecare cuvânt următor va fi valid la fiecare front crescător sau descrescător al semnalului de ceas. Semnalul *DQS* este transmis de memoria DDR SDRAM împreună cu datele de ieșire.

Datele citite printr-o comandă *Read* pot fi concatenate cu, sau trunchiate de, datele de la o comandă *Read* ulterioară. În ambele cazuri, poate fi menținut un flux continuu de date. Primul cuvânt al unei noi operații de citire în mod exploziv urmează fie după ultimul cuvânt al unei operații terminate, fie după ultimul cuvânt dorit al unei operații mai lungi care este trunchiată. Noua comandă *Read* trebuie lansată cu  $x$  cicluri după prima comandă *Read*, unde  $x$  este egal cu numărul perechilor de cuvinte dorite. Aceasta se ilustrează în Figura 4. Dacă lungimea transferului exploziv este 4, datele de la două comenzi *Read* sunt concatenate. Dacă lungimea transferului exploziv este 8, a doua operație o întrerupe pe prima. Comenzile *Read* ilustrate se referă la același circuit de memorie. Pentru comenzile *Read* generice arătate în Figura 4, funcția *Auto Precharge* este invalidată. *DQ* indică liniile de date, *RD* indică o comandă *Read*, *NOP* indică o comandă *No Operation*, iar *CL* reprezintă latența semnalului *CAS*.

#### Operația de scriere

O operație de scriere în mod exploziv este inițiată cu o comandă *Write*. Adresa bancului și coloana de început sunt furnizate cu comanda *Write*, iar operația *Auto Precharge* poate fi validată sau invalidată. În timpul operațiilor de scriere, cuvântul de intrare valid va fi memorat la primul front crescător al semnalului

*DQS* care urmează după comanda *Write*, iar cuvintele următoare vor fi memorate la fronturile succesive ale semnalului *DQS*. Timpul dintre comanda *Write* și primul front crescător al semnalului *DQS* este specificat cu un domeniu relativ larg (de la 75% la 125% dintr-un ciclu de ceas).

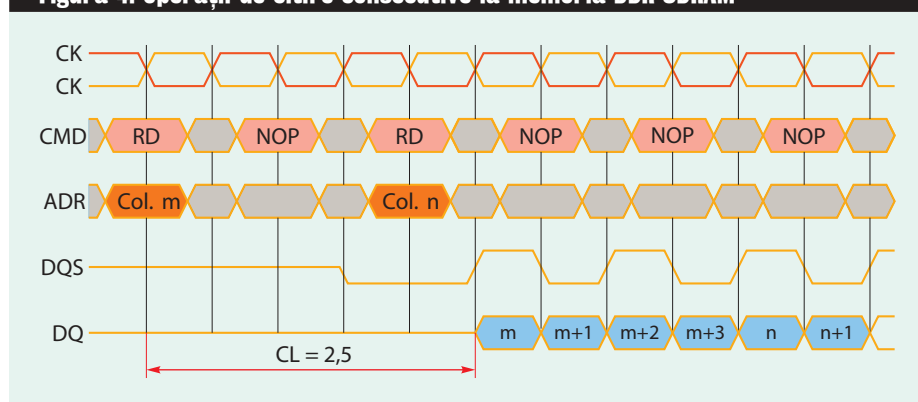
#### Tipuri de memorii DDR SDRAM

De obicei, diferitele tipuri de memorii DDR SDRAM sunt denumite după rata lor de transfer la vârf. De exemplu, memoria DDR SDRAM care utilizează un semnal de ceas de 100 MHz, cu o rată maximă de transfer de 1600 MB/s, este numită PC1600. Similar,

*CAS* de 2,5 cicluri de ceas. Există circuite de memorie DDR-266 de calitate mai ridicată (denumite DDR-266A sau PC2100A) cu o latență a semnalului *CAS* egală cu 2, dar acestea au un preț mai ridicat.

Pentru a se utiliza o memorie DDR SDRAM, este necesar un set de circuite corespunzător. Există mai mulți producători de asemenea seturi de circuite care permit utilizarea memoriei DDR SDRAM, cum sunt Via Technologies sau AMD. Până recent, seturile de circuite Intel nu permiteau utilizarea memoriei DDR SDRAM pentru calculatoarele personale, din cauza unei clauze existente în contractul de licență pentru memoria

Figura 4. Operații de citire consecutive la memoria DDR SDRAM



versiunea la 133 MHz este numită PC2100. De fapt, aceste memorii ar fi trebuit denumite PC200 și PC266, care era și intenția inițială. Denumirile au fost schimbate deoarece pentru memoria Rambur s-au utilizat nume similare, de exemplu, PC800 pentru o memorie Rambur care funcționează la 800 MHz. În standardul JEDEC sunt utilizate alte denumiri pentru memoria DDR SDRAM, bazate pe frecvența de funcționare a acestora. De exemplu, DDR-200 indică o memorie DDR SDRAM cu transferuri de date la 200 MHz (având un semnal de ceas de 100 MHz), memorie care este echivalentă cu PC1600.

Tabelul 1 indică principalele tipuri de memorii DDR SDRAM, frecvența de ceas și rata de transfer maximă teoretică a acestora.

De obicei, memoriile DDR-200 (PC 1600) au o latență a semnalului *CAS* de 2 cicluri de ceas. Celelalte versiuni au latențe mai ridicate. De exemplu, memoriile DDR-266 (PC2100) pot avea o latență a semnalului

Rambur încheiat între firmele Intel și Rambur Inc. Conform acestei clauze, firma Intel nu putea implementa în seturile de circuite ale acestora logica pentru alte memorii decât Rambur până în anul 2003, cu excepția cazului în care rata de transfer era mai mică de 1 GB/s. Această clauză nu se referea însă la piața serverelor și a stațiilor de lucru. Intel a cerut eliminarea acestei clauze din contractul de licență. Ca rezultat, la începutul anului 2002, firma Intel a activat în unele seturi de circuite pentru calculatoarele personale logica pentru utilizarea memoriei DDR SDRAM.

O variantă cu latență redusă a memoriei DDR SDRAM, numită RDRAM (*Reduced Latency DRAM*), a fost propusă de firmele Micron Technology și Infineon Technologies. Această variantă oferă o rată de transfer susținută mai ridicată, de până la 2,4 GB/s. Alte îmbunătățiri cuprind: o latență inițială redusă, care este jumătate din cea a memoriei DDR SDRAM, un grad mai ridicat de utilizare a magistralei și un număr mai mare de bancuri (8 față de 4). Producția memoriei RDRAM a început în primul trimestru al anului 2002.

Tabelul 1. Tipuri de memorii DDR SDRAM

Tip de memorie	Frecvența de ceas	Rata de transfer maximă
DDR-200 (PC1600)	100 MHz	2 x 100 x 8 = 1600 MB/s
DDR-266 (PC2100)	133 MHz	2 x 133 x 8 = 2128 MB/s
DDR-300 (PC2400)	150 MHz	2 x 150 x 8 = 2400 MB/s
DDR-333 (PC2700)	166 MHz	2 x 166 x 8 = 2656 MB/s

Dr. Baruch Zoltan este conferențiar la Catedra de Calculatoare a Universității Tehnice din Cluj-Napoca și poate fi contactat prin e-mail la adresa: Zoltan.Baruch@cs.utcluj.ro. ■ 09