

Tehnologii de memorii DRAM: DDR II SDRAM, DRDRAM, IRAM

În ultima parte a acestei serii de trei articole despre tehnologiile de memorii sunt prezentate memoriile DDR II SDRAM, Rambus DRAM și IRAM.

– Baruch Zoltan

DDR II SDRAM

Specificația DDR II reprezintă standardul pentru a doua generație a memoriilor DDR II, care vor fi fabricate în următorii ani. Versiunea preliminară a acestui standard a fost aprobată de comitetul JEDEC în iunie 2001. Eșantioane de memorii DDR II vor fi disponibile în cursul anului 2002, fiind de așteptat ca producția de masă să înceapă în 2003. JEDEC a inițiat și dezvoltarea generației care va urma după memoria DDR II, numită în prezent DDR III. Este de așteptat ca această generație să apară în cursul anilor 2004 sau 2005.

Frecvența inițială a transferurilor de date pentru memoriile DDR II va fi de 400 MHz pentru aplicațiile bazate pe module (DDR-400, PC3200) și 800 MHz pentru aplicațiile punct la punct (DDR-800, PC6400). Specificația descrie și moduri de transfer DDR (DDR I) îmbunătățite la 400 MHz și 533 MHz, cu rate de transfer maxime de 3,2 GB/s, respectiv 4,26 GB/s.

Un aspect important este că circuitele de memorie DDR II sunt compatibile cu cele DDR I. Circuitele DDR II conțin 4 bancuri, dimensiunea bancurilor fiind aceeași ca și la

circuitele DDR I. Setul de comenzi DDR II este un superset al comenzilor DDR I. Structura interfeței de I/E permite unui controler de memorie să comunice atât cu circuite DDR I, cât și DDR II. Numărul de pini al circuitelor DDR II este mai ridicat, dar va fi dezvoltat un modul DIMM comun cu 232 pini.

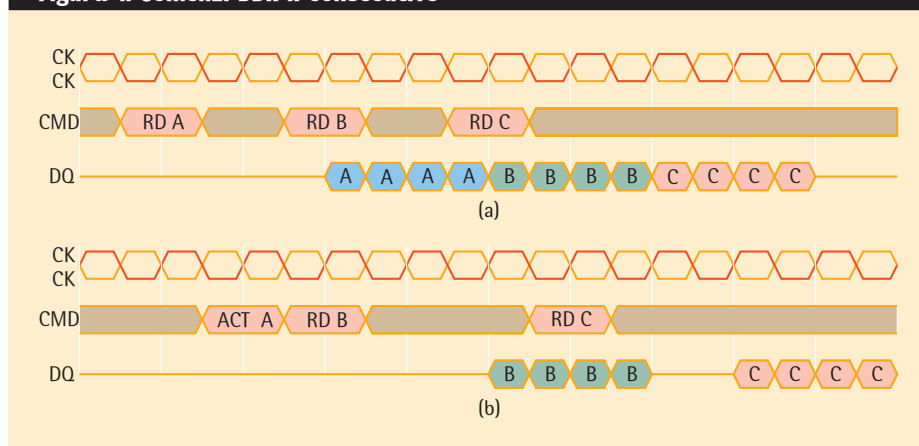
La memoriile DDR II, rata de transfer este îmbunătățită prin creșterea frecvenței semnalului de ceas. Pentru aplicațiile bazate pe module, cu transferuri la fiecare front al unui semnal de ceas de 200 MHz, rata de transfer este de 400 Mbiți/s pe pin. Pentru un modul de memorie de 64 biți, rata de transfer potențială este de 3,2 GB/s. Pentru serverele cu magistrale de 256 biți, rata de transfer potențială este de 12,8 GB/s. Aceasta va necesita reproiectarea magistralei dintre procesor și setul de circuite (FSB – *Front Side Bus*) pentru a putea utiliza această rată de transfer. Pentru aplicațiile punct la punct, rata de transfer posibilă este de 800 Mbiți/s pe pin, sau 6,4 GB/s pentru transferuri de 64 biți. Acestea sunt valorile minime specificate de standard, care definește și viteze mai ridicate. Pentru aplicațiile bazate pe module, este

definită și o versiune DDR-533 (PC4300), cu o rată de transfer maximă de 4,26 GB/s.

Conform specificației DDR II, lungimea transferurilor în mod exploziv (*burst*) este fixată la 4 cuvinte. Deci, sunt necesare 4 cicluri de date (2 cicluri de ceas) pentru toate transferurile de citire și scriere. Aceasta diferă de alte memorii SDRAM, la care lungimea unui transfer poate fi de 2, 4, 8 cuvinte, sau o pagină întreagă. Unul din motivele acestei soluții este că astfel se reduc costurile de testare. Un alt motiv este că interfața DDR II nu permite întreruperea tranzațiilor odată ce ele au fost inițiate. Pentru o memorie SDRAM convențională sau DDR I, poate fi necesară terminarea în avans a unei tranzații pentru a se permite efectuarea unei alte tranzații cu prioritate mai ridicată. Deoarece lungimea tranzațiilor DDR II este mai redusă, nu este necesară întreruperea lor.

Pe de altă parte, lungimea mai redusă a transferurilor ar putea avea un impact negativ asupra ratei de transfer. De exemplu, încărcarea magistralei de adrese va crește, deoarece trebuie transmise mai multe adrese. Specificația DDR II permite însă transmiterea comenzilor consecutive pe orice front crescător al semnalului de ceas, cât timp acestea nu determină un conflict pe magistrala de date și nu întrerup o comandă precedentă. De exemplu, pot fi inițiate comenzi consecutive de citire către același banc de memorie la fiecare două cicluri de ceas, deoarece astfel nu vor fi conflicte pe magistrala de date. Această situație este ilustrată în Figura 1(a), unde *RD A*, *RD B* și *RD C* reprezintă comenzi de citire la același banc de memorie. Cât timp accesurile se efectuează în aceeași pagină, datele vor fi transmise la ieșire la fiecare două cicluri de ceas, fără întrerupere. Figura 1(b) ilustrează activarea unui banc de memorie, urmată de comenzi de citire la bancuri diferite de memorie. Comanda de citire la bancul *B* de memorie poate fi inițiată după un ciclu de ceas de la activarea bancului *A* de memorie. Comanda de citire la bancul *C* de memorie poate fi inițiată doar după trei cicluri de ceas de la comanda de citire la bancul *B* de memorie,

Figura 1. Comenzi DDR II consecutive



(a) Comenzi de citire (RD) la același banc;

(b) Activarea bancului A urmată de comenzi de citire la bancurile B și C.

deoarece este necesară o întârziere de un ciclu de ceas datorită operațiilor consecutive de citire la bancuri diferite de memorie.

Interfața DDR II funcționează la 1,8 V, spre deosebire de interfața DDR I, care funcționează la 2,5 V. Astfel, puterea consumată este mai redusă. Aceasta permite utilizarea modulelor DDR II la calculatoarele portabile și telefoanele celulare.

Chiar dacă circuitele de memorie DDR II nu sunt încă pe piață, a fost propusă deja o versiune mai rapidă a arhitecturii DDR II de către alianța *Advanced DRAM Technology* (ADT). Această alianță cuprinde producători importanți de memorii DRAM, ca Intel, Micron Technology, Samsung Electronics, Hyundai Microelectronics, Infineon Technologies și NEC Hitachi Memory. ADT a propus o variantă a arhitecturii DDR II pentru servere și stații de lucru, variantă numită DDR IIa. Membrii ADT doresc includerea acestei variante în specificațiile DDR II. Facilitățile suplimentare ale variantei propuse sunt frecvența mai ridicată a transferurilor de date (600 MHz) și rezistențe terminatoare în cadrul capsulei pentru reducerea reflecțiilor pe liniile de transmisie. Este posibil ca noile facilități să fie incluse ca o opțiune în varianta finală a standardului JEDEC DDR II.

Au fost propuse de asemenea mai multe variante ale arhitecturii DDR II care implică adăugarea unei memorii statice SRAM la nucleul de memorie DRAM. O astfel de variantă este numită *Enhanced DDR II*, fiind propusă de firma *Enhanced Memory Systems* și având la bază arhitectura ESDRAM-lite a acesteia. Această arhitectură utilizează o memorie SRAM ca memorie *cache*. O altă variantă a fost propusă de firma NEC, fiind bazată pe arhitectura memoriei cu canale virtuale (*Virtual Channel Memory* – VCM). Această arhitectură utilizează de asemenea o memorie *cache* pentru reducerea timpului mediu de acces la memoria DRAM. Atât memoria ESDRAM-lite, cât și memoria VCM au fost descrise în partea a doua a acestei serii de articole (NET Report, Nr. 119).

Rambus DRAM

Prezentare generală

La începutul anilor '90, Firma *Rambus* a dezvoltat o tehnologie de memorie numită RDRAM (*Rambus DRAM*), care utilizează transmiterea unor pachete de adrese și date pe o magistrală specială. Această tehnologie a fost implementată inițial pe sistemul de jocuri Nintendo Ultra-64, ajungându-se la frecvențe de ceas de 250 MHz și rate de transfer de 500 MB/s. Intel a sprijinit firma Rambus pentru dezvoltarea unei variante a tehnologiei RDRAM pentru calculatoarele personale, această variantă fiind numită DRDRAM (*Direct Rambus DRAM*). Frecvența de ceas a fost

Tabelul 1. Tipuri de memorii DRDRAM și rata de transfer maximă a acestora

Tip de memorie	Frecvența de ceas	Rata de transfer maximă
PC600	300 MHz	600 Mbiți/s/pin, 1,2 GB/s/canal
PC700	355,5 MHz	711 Mbiți/s/pin, 1,42 GB/s/canal
PC800	400 MHz	800 Mbiți/s/pin, 1,6 GB/s/canal

crescută la 400 MHz, rata de transfer ajungând la 1,6 GB/s. Cu îmbunătățirile aduse arhitecturii magistralei și facilitățile de gestiune a puterii de alimentare, Intel se aștepta ca DRDRAM să devină principala tehnologie de memorie. Tehnologia Rambus este însă soluția cea mai controversată de memorie cu viteză ridicată.

În timp ce magistralele actuale de memorie sunt de 64 biți, memoriile RDRAM și DRDRAM utilizează o magistrală de 8, respectiv 16 biți. Această magistrală, numită canal Rambus, este utilizată nu numai ca un set de conexiuni, ci și ca un canal inteligent de comunicație. Deși lățimea magistralei este redusă, rata de transfer este de până la 500 MB/s pentru memoria RDRAM și de până la 1,6 GB/s pentru memoria DRDRAM. Prin utilizarea mai multor canale Rambus, rata de transfer poate fi crescută. Pentru memoriile Rambus se utilizează un modul de memorie diferit, denumit *Rambus In-line Memory Module* (RIMM).

Există disponibile mai multe tipuri de memorii DRDRAM. Acestea sunt prezentate în Tabelul 1.

Elementele principale ale unui sistem de memorie Rambus sunt prezentate în Figura 1. Aceste elemente sunt canalul Rambus, controlerul de memorie, interfața Rambus și circuitele RDRAM.

Canalul Rambus este o magistrală de 16 biți, care poate transfera date la frecvențe de până la 800 MHz. Fiecare canal Rambus permite conectarea a până la 32 de circuite de memorie RDRAM. Spre deosebire de circuitele de memorie SDRAM, care sunt conectate în paralel la magistrala de 64 de biți, circuitele de memorie RDRAM sunt conectate serial pe magistrala Rambus. Dacă există mai mulți conectori pentru modulele RIMM, fiecare trebuie să fie populat cu module de memorie, în caz contrar canalul fiind întrerupt. În conectorii care nu sunt utilizați se pot insera

module de continuitate (CRIMM – *Continuity RIMM*) în locul modulelor de memorie.

Controlerul de memorie este singurul dispozitiv care generează cereri de acces la memorie. Fiecare controler are propria interfață Rambus. Această interfață convertește nivelele de tensiune de amplitudine redusă utilizate de canalul Rambus la nivelele CMOS utilizate de circuitele de memorie.

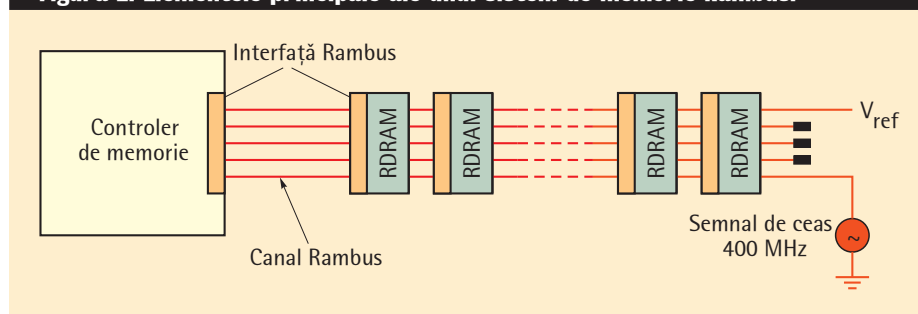
Interfața Rambus implementează protocolul Rambus utilizat pentru transferurile de date. Această interfață este implementată atât în controlerul de memorie, cât și în circuitele RDRAM de pe canalul Rambus.

Circuitele RDRAM sunt memorii DRAM CMOS care conțin circuitul de interfață Rambus. Aceste circuite sunt disponibile în configurații de $\times 16$ și $\times 18$, configurațiile $\times 18$ conținând câte un bit în plus pentru fiecare octet. Acest bit este definit și utilizat în modul specificat de proiectantul de sistem.

Protocolul electric utilizat pentru semnalele transmise pe canalul Rambus este numit RSL (*Rambus Signaling Level*). Această tehnologie, introdusă de Rambus în 1992, permitea funcționarea la o frecvență de 500 MHz, fiind transferat un singur bit de informație pe fiecare front al semnalului de ceas. Ulterior, protocolul RSL a fost îmbunătățit pentru a funcționa la 800 MHz pe un canal cu module (interconectate prin conectori) și la 1066 MHz pe un canal scurt, format din circuite lipite pe placa de bază, fără conectori.

În 2000, Rambus a introdus un nou protocol electric, numit QRSL (*Quad Rambus Signaling Level*), care permite o rată a datelor de 1,6 GB/s pe pin, care este dublul ratei permise de tehnologia RSL. Prin protocolul QRSL se transmit doi biți de informație pe fiecare front al semnalului de ceas, utilizând patru nivele de tensiune. Această tehnologie permite un număr maxim de 4 circuite interconectate și poate fi utilizată pentru aplicații

Figura 2. Elementele principale ale unui sistem de memorie Rambus.



grafice și de rețea. În același an, Rambus a introdus o nouă tehnologie numită *Quad Serializer/Deserializer* (SerDes). Aceasta este o interfață punct la punct proiectată pentru interconectarea a două circuite prin conectori, permițând o viteză de 3,125 Gbiți/s.

Un canal Rambus cuprinde 30 de linii de transmisie de viteză ridicată:

- *ClockToMaster* și complementul acestuia *ClockToMasterN*;
- *ClockFromMaster* și complementul acestuia *ClockFromMasterN*;
- Magistrala de date: *DQA* [8:0], *DQB* [8:0];
- Magistrala de adrese și control: *ROW* [2:0], *COL* [4:0].

Aceste linii dispun de terminatoare cu impedanța caracteristică a liniilor la unul din capetele canalului. După cum se arată în Figura 3, canalul Rambus are o topologie a magistralei având controlerul de memorie la un capăt, rezistențele terminatoare la celălalt capăt și circuitele RDRAM între ele. Canalul Rambus este sincron. Datele sunt transferate numai pe liniile *DQA* și *DQB*, iar toate informațiile de control sunt transmise pe liniile *ROW* și *COL*.

Figura 3 indică distribuția semnalului de ceas. În figură există un generator separat pentru semnalul de ceas, dar generatorul poate fi integrat în controlerul de memorie. Bucla semnalului de ceas începe la capătul canalului la care sunt plasate terminatoarele și se propagă la capătul cu controlerul sub forma semnalului *ClockToMaster*, de unde se întoarce sub forma semnalului *ClockFromMaster* la circuitele RDRAM și la terminatoare.

Ceasul și datele sunt transmise în paralel. Un circuit RDRAM transmite date la controlerul de memorie sincron cu semnalul *ClockToMaster*, iar controlerul transmite date la circuitele RDRAM sincron cu semnalul *ClockFromMaster*. Deoarece impedanțele liniilor de transmisie sunt egale, semnalele de ceas și de date rămân sincronizate pe măsură ce ele sunt transmise la destinație.

Toate semnalele de pe canalul Rambus utilizează amplitudini reduse de 0,8 V. Figura 4 indică tensiunile nominale pentru terminatoare

V_{term} , referința de tensiune V_{ref} și nivelul 1 logic V_{OL} . Tensiunea V_{ref} poate fi generată cu un divizor rezistiv, fiind conectată la fiecare circuit. Această tensiune setează un nivel de prag pentru semnale, asigurând imunitatea la zgomote.

Transferuri de date

Transferurile de date au loc numai între controlerul de memorie și circuitele RDRAM, și nu direct între circuitele RDRAM. Datele transmise de la controlerul de memorie se propagă prin toate circuitele RDRAM cu amplitudinea de 0,8 V. Deci, toate circuitele RDRAM pot detecta corect datele transmise de controlerul de memorie. Datele de la un circuit RDRAM se transferă în ambele direcții la jumătatea amplitudinii de 0,8 V. La capătul canalului de la controlerul de memorie, impulsurile se reflectă și își dublează amplitudinea. Suprapunerea formelor de undă și terminatorii corespunzători asigură ca transferurile de date de la circuitele RDRAM la controlerul de memorie să aibă loc la viteza și amplitudinea corectă.

Datele sunt transferate pe ambele fronturi ale semnalului de ceas de 400 MHz, rezultând o rată de transfer de 800 Mbiți/s pe fiecare linie. Fiecare transfer de date necesită un interval de 1,25 ns, existând două asemenea intervale pe durata unei perioade de ceas. Cele două fronturi ale semnalului de ceas sunt utilizate pentru marcarea intervalelor ca pare și impare (Figura 5). Intervalele pare încep de la un front descrescător al semnalului de ceas, iar cele impare încep de la un front crescător al acestui semnal.

Pe canalul Rambus, biții de date și de control sunt transferați în pachete. Fiecare pachet conține 16 octeți și este transmis pe durata a patru cicluri de ceas (10 ns). Informația de control nu este multiplexată pe magistrala de date. Se utilizează o magistrală independentă de control și de adrese, care este divizată în două grupuri de linii, una pentru comenzi de linie (*ROW*) și alta pentru comenzi de coloană (*COL*). Aceasta permite transmiterea concurrentă a unor comenzi de linie și de coloană în timp ce sunt transferate datele corespunzătoare unei comenzi precedente.

Pentru a asigura sincronizarea corectă a tuturor dispozitivelor conectate la canalul Rambus, toate pachetele încep de la intervale pare.

Comparație între Rambus DRAM și DDR SDRAM

Au existat numeroase controverse legate de tehnologia Rambus DRAM și decizia firmei Intel de a sprijini această tehnologie în locul DDR SDRAM. De la introducerea sa în 1999, tehnologia Rambus a fost copleșită de diferite probleme tehnice, costuri de producție ridicate și performanțe discutabile. Chiar dacă problemele tehnice au fost rezolvate între timp și costurile au fost micșorate, acestea sunt încă mult mai ridicate decât cele ale memoriei DDR SDRAM. Circuitele de memorie Rambus sunt mai complexe decât cele DDR SDRAM, deoarece ele trebuie să conțină o interfață Rambus, iar magistrala lor internă de date are o lățime mai mare. Setul de circuite pentru memoria Rambus DRAM este de asemenea mai complex, deoarece trebuie să conțină un controler de memorie adecvat. Datele transmise de procesor trebuie multiplexate de setul de circuite pentru a fi transmise pe canalul Rambus de 16 biți, iar datele recepționate pe canal trebuie demultiplexate înainte de a fi transmise la procesor. Placa de bază este și ea mai complexă, deoarece frecvențele mai ridicate necesită lungimi reduse ale conexiunilor și ecranare suplimentară pentru evitarea interferențelor electromagnetice.

Tehnologia utilizată de memoria Rambus DRAM reprezintă proprietatea firmei Rambus, astfel încât producătorii trebuie să achite o taxă acestei firme. Pe de altă parte, DDR SDRAM este un standard industrial deschis, fiind astfel mai atractiv pentru producători și utilizatori. Costurile mai ridicate reprezintă principalul motiv pentru răspândirea mai redusă a memoriei Rambus DRAM comparativ cu DDR SDRAM.

Folosind tehnologia Rambus, este relativ simplă dublarea ratei de transfer disponibile prin adăugarea unui nou canal Rambus, cu costuri suplimentare reduse. Prin utilizarea a două canale, rata de transfer la vârf poate ajunge la 3,2 GB/s. În cazul memoriei DDR SDRAM, chiar dacă este posibilă utilizarea unei configurații cu două canale, problema principală este numărul de pini mai ridicat necesar pentru o magistrală de 8 octeți, spre deosebire de canalul Rambus de 2 octeți. Numărul de pini ar crește semnificativ, necesitând eventual chiar straturi suplimentare ale plăcii de bază pentru un al doilea canal de memorie. Aceasta ar crește costul plăcii de bază în mod semnificativ. Pe de altă parte însă, propunerea DDR II specifică rate de transfer la vârf de cel puțin 3,2 GB/s prin utilizarea unui singur canal de memorie.

Deoarece memoria Rambus DRAM utilizează un protocol bazat pe transmiterea de pachete, latența inițială a memoriei Rambus

Figura 3. Topologia canalului Rambus.

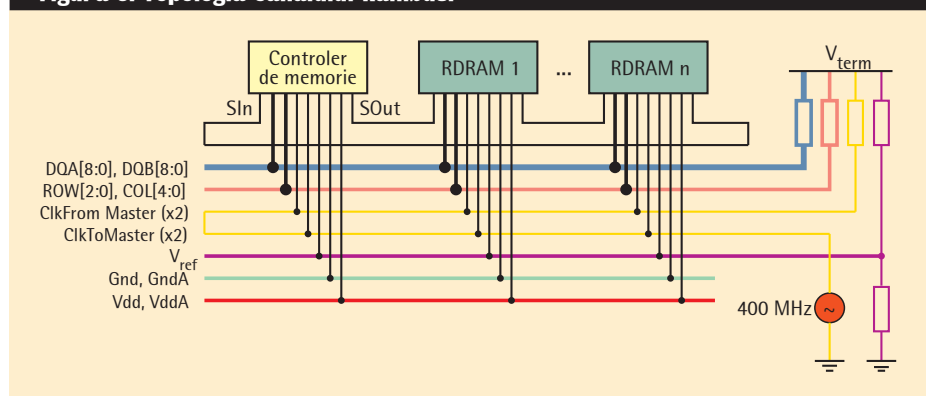
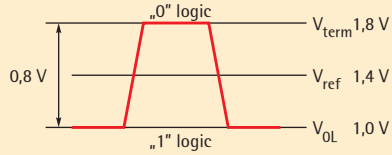


Figura 4. Nivele de tensiune utilizate de semnalele Rambus.



este mai ridicată decât cea a memoriei DDR SDRAM. Din cauza faptului că setul de circuite trebuie să multiplexeze și să demultiplexeze datele, este introdusă o latență suplimentară. Prin diferite teste de performanță efectuate, s-a constatat că, pentru majoritatea aplicațiilor actuale, latența este factorul de performanță cel mai important, astfel încât utilizarea memoriei DDR SDRAM este mai avantajoasă. Această situație se poate schimba odată cu apariția viitoarelor procesoare mai performante. Execuția speculativă, reordonarea dinamică a instrucțiunilor și paralelismul explicit reduc importanța latenței inițiale.

Circuitele Rambus DRAM conțin un număr mai mare de bancuri de memorie comparativ cu circuitele DDR SDRAM. De exemplu, circuitele Rambus DRAM de 128 și 256 Mbiți conțin 32 de bancuri față de 4 la circuitele DDR SDRAM. Aceasta înseamnă că sunt deschise mai multe pagini în orice moment și rata de succes este mai ridicată. Numărul mare de pagini deschise poate reduce latența medie a modulelor de memorie Rambus, chiar dacă latența inițială este mai ridicată.

Nu se poate indica în mod clar care din tehnologiile Rambus DRAM sau DDR SDRAM reprezintă o soluție mai avantajoasă. În multe cazuri, performanțele memoriei DDR SDRAM le depășesc pe cele ale memoriei Rambus DRAM, dar în medii cu un număr mare de fire de execuție și încărcare ridicată a magistralei, ambele memorii reprezintă competitori importanți. Totuși, pentru majoritatea aplicațiilor DDR SDRAM reprezintă o soluție mai atractivă decât Rambus DRAM, cel puțin în prezent și în viitorul apropiat.

IRAM

Principiul IRAM

IRAM (*Intelligent RAM*) este denumirea unui circuit integrat care este în curs de elaborare la Universitatea Berkeley, constând dintr-un procesor și o memorie DRAM. Procesorul este realizat utilizând procesul de fabricație al memoriilor, și nu cel convențional al logicii digitale. Acest circuit a fost numit *Intelligent RAM* deoarece majoritatea tranzistoarelor din cadrul capsulei sunt dedicate memoriei. Motivul pentru plasarea procesorului în cadrul memoriei DRAM în locul creșterii dimensiunii memoriei statice

(SRAM) din cadrul procesorului este că tehnologia DRAM permite în practică o densitate de aproximativ 20 de ori mai ridicată decât SRAM. Aceasta deoarece tehnologia DRAM utilizează structuri 3D pentru a reduce dimensiunea celulei. Deci, IRAM permite plasarea în cadrul capsulei a unei memorii de dimensiuni mult mai mari decât ar fi posibil într-o arhitectură convențională.

Dezvoltarea tehnologiei IRAM se bazează pe mai multe observații asupra arhitecturilor actuale ale calculatoarelor. Una dintre acestea este creșterea decalajului dintre performanțele procesoarelor și a memoriilor. Pentru a compensa acest decalaj, se introduce de obicei o ierarhie de memorii *cache*. Prin aceasta, în cazul cel mai defavorabil, latența memoriei devine chiar mai ridicată. Pentru a realiza această ierarhie, o porțiune crescută a spațiului din cadrul procesoarelor este dedicată memoriilor *cache* SRAM. De exemplu, aproape jumătate din spațiul procesorului Alpha 21164 este ocupat de memorii *cache*. Această memorie conține doar o copie redundantă a informațiilor, copie care nu ar fi necesară dacă viteza memoriei principale ar fi suficientă. Cu toate acestea, pentru anumite aplicații rezultă performanțe reduse chiar cu memorii *cache* de dimensiuni mari.

Alte tehnici utilizate sunt combinarea memoriilor *cache* cu o anumită formă de execuție într-o ordine diferită de cea din program și execuție speculativă. Această soluție necesită o creștere semnificativă a spațiului ocupat în cadrul capsulei și a complexității, care nu determină însă o creștere corespunzătoare a performanțelor. Alte variante de arhitecturi, ca cele superscalare sau VLIW (*Very Long Instruction Word*), au ca dezavantaje complexitatea implementării, utilizarea redusă a resurselor și tehnologia insuficient dezvoltată a compilatoarelor.

Soluția tehnologiei IRAM este utilizarea spațiului din cadrul capsulei pentru o memorie DRAM în locul memoriilor *cache* SRAM. Această memorie poate fi tratată ca memorie principală, și nu ca o memorie care conține o copie redundantă. În multe cazuri, întreaga aplicație poate fi încărcată în memoria din cadrul capsulei. Dacă aplicația necesită o memorie suplimentară, va fi utilizată memoria din afara capsulei.

Proiectul IRAM

Proiectul IRAM, în curs de desfășurare la Universitatea Berkeley, are ca scop elaborarea, fabricația și evaluarea unor sisteme într-o singură capsulă pentru aplicații intensive din punct de vedere al cal-

culelor. Circuitul integrat IRAM va combina un procesor și o memorie DRAM cu capacitate ridicată, având performanțe comparabile cu cele ale supercalculatoarelor vectoriale, dar la o putere consumată substanțial mai redusă. Scopul este de a demonstra că un singur circuit cu un procesor simplu și o rată de transfer ridicată cu memoria locală poate fi mai rapid decât sistemele convenționale pentru aplicațiile care utilizează intensiv memoria. Arhitectura IRAM va fi scalabilă, permițând ca puterea de prelucrare să varieze cu dimensiunea memoriei sau cu puterea consumată, fără modificări ale specificațiilor arhitecturii. Această arhitectură va fi ușor de programat utilizând limbaje de nivel înalt tradiționale. Un alt scop este de a dezvolta un compilator care să utilizeze în mod eficient rata de transfer ridicată de care se dispune.

Arhitectura aleasă de echipa de la Universitatea Berkeley pentru a fi inclusă în circuitul IRAM este o arhitectură vectorială, în locul uneia superscalare convenționale. Această arhitectură este numită *Vector IRAM* (V-IRAM). O asemenea arhitectură are mai multe avantaje. De exemplu, specificarea unui număr mare de operații paralele într-o singură instrucțiune permite reducerea puterii consumate fără afectarea performanțelor. Un alt avantaj este că operațiile multimedia necesare pentru calculatoarele portabile și alte aplicații actuale sunt adecvate pentru arhitecturile vectoriale.

Aplicații potențiale ale IRAM

IRAM are două domenii importante de aplicații. Primul domeniu este reprezentat de prelucrarea multimedia: prelucrarea imaginilor grafice și a celor video, recunoașterea vocii, grafica 3D, animație, muzică digitală, criptare. Aceste aplicații utilizează tipuri de date cu lungime redusă și necesită răspuns în timp real. Al doilea domeniu este reprezentat de sistemele portabile și cele încorporate: calculatoare PDA (*Personal Digital Assistant*), telefoane celulare, aparate foto digitale, console de jocuri. Aceste aplicații trebuie să utilizeze un număr limitat de circuite integrate și o putere consumată redusă.

Dr. Baruch Zoltan este conferențiar la Catedra de Calculatoare a Universității Tehnice din Cluj-Napoca și poate fi contactat prin e-mail la adresa: Zoltan.Baruch@cs.utcluj.ro. ■ 05

Figura 5. Intervale pare și impare

