2. Metode pentru operații de I/E

- I/E programate
- I/E prin întreruperi
- Acces direct la memorie (DMA)
- Procesoare de I/E

I/E prin întreruperi

- Principiul I/E prin întreruperi
- Sisteme de întreruperi multiple
- Sisteme de întreruperi cu priorități
  - Conectarea în paralel a liniilor de întrerupere
  - Conectarea în serie a liniilor de întrerupere

Principiul I/E prin întreruperi (1)

- Întrerupere: suspendarea execuției unui program de către un semnal extern UCP sau de către un eveniment intern
- Suspendarea programului se produce la terminarea execuției instrucțiunii curente
- UCP este eliberat de sarcina de a testa starea dispozitivelor de I/E
- Sursele de întreruperi pot fi externe sau interne UCP

Principiul I/E prin întreruperi (2)

- Exemple de surse de întrerupere:
  - Echipamentele periferice → transferuri
  - Memoria virtuală → transferul unor pagini
  - Circuite hardware de supraveghere a funcționării normale a sistemului: detectarea erorilor de memorie, a căderii tensiunii
  - Evenimente software interne: depășiri, împărțiri la zero, instrucțiuni inexistente sau privilegiate

Principiul I/E prin întreruperi (3)

- Pentru întreruperea UCP se activează un semnal de control *IREQ* (*Interrupt Request*)
  - Este setat un indicator de întrerupere
- La recunoașterea cererii de întrerupere, UCP:
  - Activează un semnal de achitare a întreruperii *IACK* (*Interrupt Acknowledge*)
  - Execută o subrutină de tratare a întreruperii, asociată sursei de întrerupere

Principiul I/E prin întreruperi (4)

- Pentru transferul controlului la subrutina de tratare a întreruperii:
  - UCP identifică sursa întreruperii
  - UCP determină adresa subrutinei de tratare corespunzătoare sursei întreruperii
  - UCP salvează contorul de program PC și alte informații de stare
  - UCP încarcă adresa subrutinei de tratare în contorul de program PC

Principiul I/E prin întreruperi (5)

- UCP trebuie să determine adresa subrutinei de tratare
- Metode pentru alegerea adresei subrutinei de tratare:
  - Întreruperi ne-vectorizate: rutina de tratare se află la o adresă fixă în memorie
  - Întreruperi vectorizate: adresa este furnizată de către sursa de întrerupere, sub forma unui *vector de întrerupere*

I/E prin întreruperi

- Principiul I/E prin întreruperi
- Sisteme de întreruperi multiple
- Sisteme de întreruperi cu priorități
  - Conectarea în paralel a liniilor de întrerupere
  - Conectarea în serie a liniilor de întrerupere

Sisteme de întreruperi multiple (1)

- Pentru înregistrarea cererilor de întrerupere, există un *registru al cererilor de întrerupere*
- Pentru un control individual asupra surselor de întrerupere, se utilizează bistabili mască → *registru al măștilor de întrerupere*
- Probleme principale:
  - Identificarea sursei de întrerupere
  - Alegerea întreruperii care va fi deservită în cazul mai multor cereri simultane

Sisteme de întreruperi multiple (2)

- Tehnici pentru identificarea sursei de întrerupere:
  - Linii multiple de întrerupere
  - Interogare software
  - Conectarea dispozitivelor în lanț (interogare hardware)
  - Arbitrajul de magistrală

Sisteme de întreruperi multiple (3)

- Linii multiple de întrerupere între UCP și modulele de I/E
  - Soluția cea mai simplă
  - Nu este practic să se dedice un număr prea mare de linii ale magistralei sau de pini ai procesorului pentru liniile de întrerupere
  - De obicei, la fiecare linie vor fi conectate mai multe module de I/E

Sisteme de întreruperi multiple (4)

- Interogare software (“*polling*”)
  - Atunci când UCP detectează o întrerupere, execută o subrutină de tratare a întreruperii
  - Se interoghează modulele de I/E pentru a determina modulul generator al întreruperii
  - Pentru interogare se poate utiliza o linie de comandă separată (de ex., *TEST I/E*)
  - Fiecare modul de I/E poate conține un registru de stare adresabil

Sisteme de întreruperi multiple (5)

- Interogare hardware
  - Se utilizează un lanț de dispozitive (“*daisy chain*”)
  - Toate modulele de I/E partajează o linie comună de cerere de întrerupere
  - La detectarea unei cereri de întrerupere, UCP activează un semnal de achitare a întreruperii
  - Linia de achitare a întreruperii este înlănțuită prin modulele de I/E

Sisteme de întreruperi multiple (6)

- Semnalul de achitare se propagă prin modulele de I/E până când ajunge la un modul solicitant
- Acest modul răspunde prin plasarea unui vector de întrerupere pe magistrala de date
- UCP utilizează vectorul ca un pointer la subrutina de tratare pentru modul
- Avantaj: nu este necesară execuția unei subrutine generale de tratare a întreruperii

Sisteme de întreruperi multiple (7)

- Arbitrajul de magistrală
  - Utilizează întreruperile vectorizate
  - Un modul de I/E trebuie să preia mai întâi controlul asupra magistralei pentru a putea activa semnalul de cerere a întreruperii
  - La detectarea întreruperii, UCP activează semnalul de achitare a întreruperii
  - Modulul care a efectuat cererea își plasează vectorul pe liniile de date

I/E prin întreruperi

- Principiul I/E prin întreruperi
- Sisteme de întreruperi multiple
- Sisteme de întreruperi cu priorități
  - Conectarea în paralel a liniilor de întrerupere
  - Conectarea în serie a liniilor de întrerupere

Sisteme de întreruperi cu priorități (1)

- În cazul cererilor simultane, este necesar un sistem de priorități
  - Periferice rapide → prioritate înaltă
- Stabilirea priorității întreruperilor simultane se poate realiza prin software sau prin hardware
- Metoda software:
  - Identificarea sursei de prioritate maximă se realizează prin interogare
  - Există o subrutină comună de tratare, care interoghează sursele de întrerupere

Sisteme de întreruperi cu priorități (2)

- Ordinea în care sunt interogate sursele determină prioritatea lor
- Dezavantaj: în cazul unui număr mare de surse, timpul necesar interogării crește

- Metoda hardware:
  - Un controler de întrerupere acceptă cereri de întrerupere de la mai multe surse și determină cererea cu prioritatea maximă
  - Fiecare sursă de întrerupere are un vector propriu de întrerupere

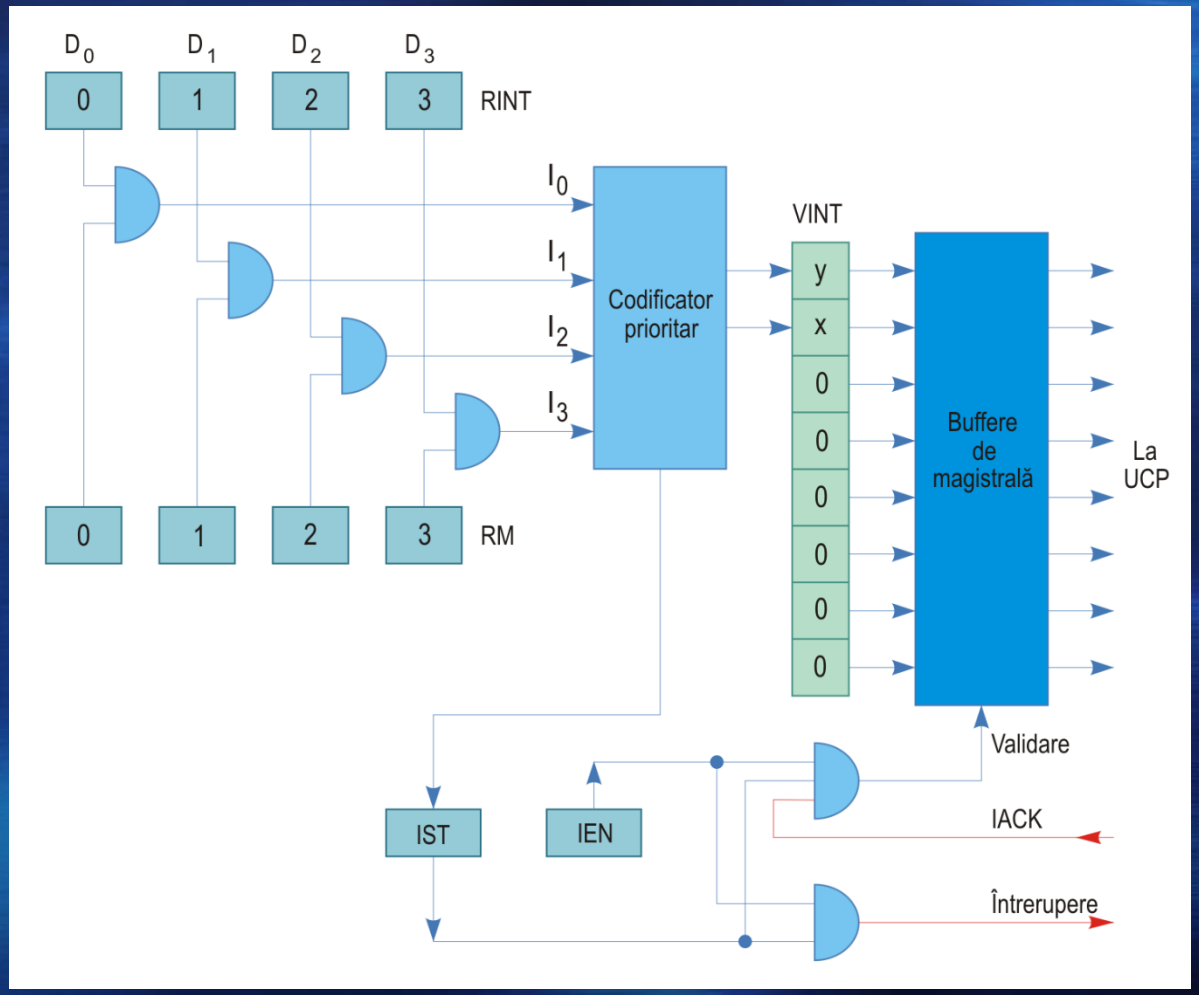
I/E prin întreruperi

- Principiul I/E prin întreruperi
- Sisteme de întreruperi multiple
- Sisteme de întreruperi cu priorități
  - Conectarea în paralel a liniilor de întrerupere
  - Conectarea în serie a liniilor de întrerupere

Conectarea în paralel a liniilor de întrerupere (1)

- Se utilizează un registru de întrerupere RINT
  - Biții acestuia sunt setați separat de cererile de întrerupere ale fiecărui dispozitiv
- Prioritatea este stabilită în funcție de poziția biților din registru
- Registrul măștilor de întrerupere RM permite controlul (dezactivarea) stării fiecărei cereri de întrerupere

Conectarea în paralel a liniilor de întrerupere (2)



Conectarea în paralel a liniilor de întrerupere (3)

- Codificatorul prioritar:
  - Implementează funcția de prioritate
  - Generează doi biți ai vectorului de întrerupere
- Vectorul este transferat la UCP prin buffere cu trei stări
- Validarea bufferelor: prin semnalul *IACK* de la UCP și prin bistabilii IST, IEN
  - IST – bistabilul de stare a întreruperilor
  - IEN – bistabilul de validare a întreruperilor

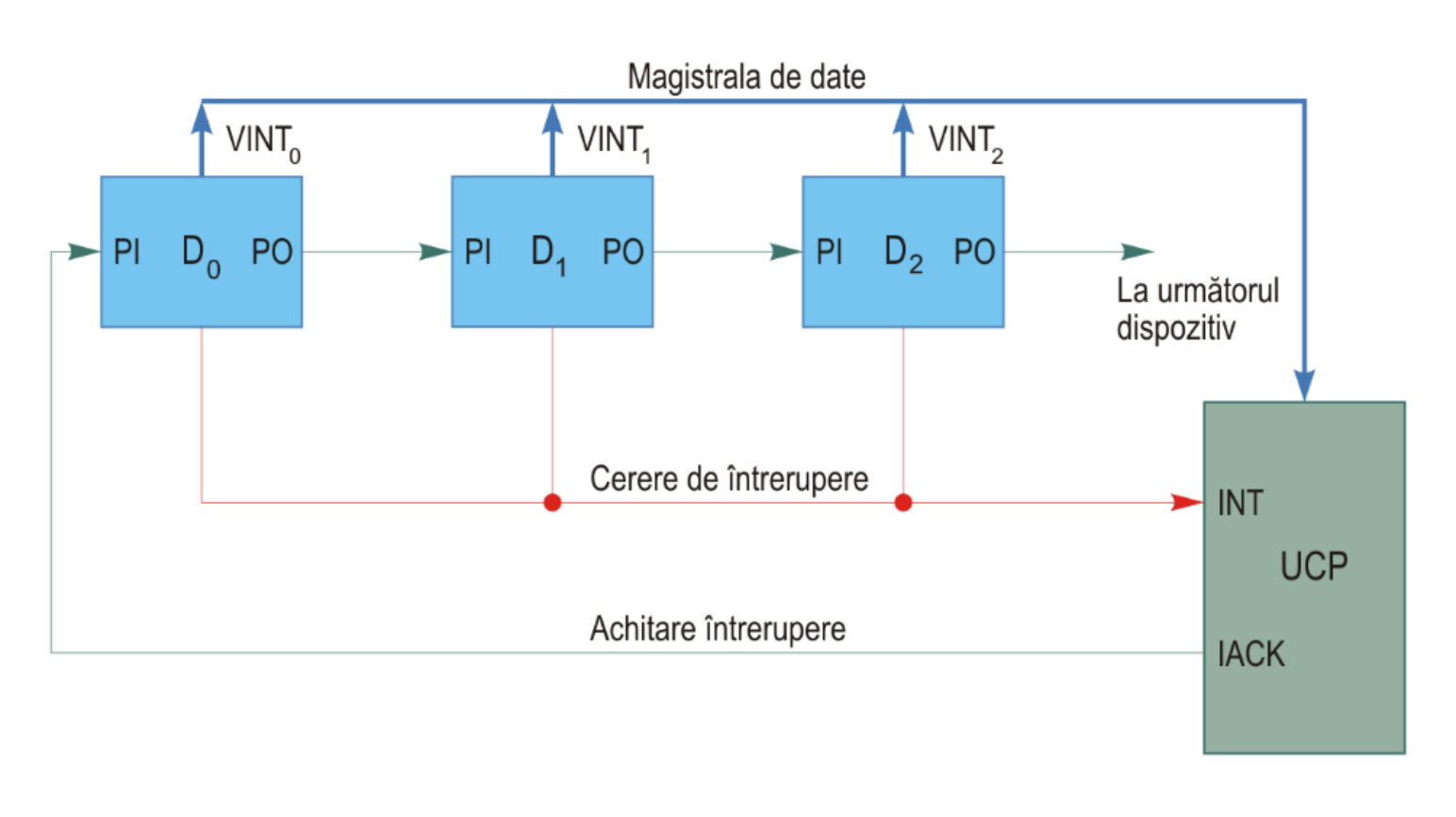
I/E prin întreruperi

- Principiul I/E prin întreruperi
- Sisteme de întreruperi multiple
- Sisteme de întreruperi cu priorități
  - Conectarea în paralel a liniilor de întrerupere
  - Conectarea în serie a liniilor de întrerupere

Conectarea în serie a liniilor de întrerupere (1)

- Dispozitivele care pot genera o cerere de întrerupere sunt conectate în lanț
  - Fiecare dispozitiv are o intrare *PI* (*Priority In*) și o ieșire *PO* (*Priority Out*)
  - Dispozitivul cu prioritatea maximă este plasat în prima poziție
- Linia de cerere a întreruperii este comună pentru toate dispozitivele (conexiune SAU cablat)

Conectarea în serie a liniilor de întrerupere (2)



2. Metode pentru operații de I/E

- I/E programate
- I/E prin întreruperi
- Acces direct la memorie (DMA)
- Procesoare de I/E

Acces direct la memorie (DMA)

- Principiul I/E prin DMA
- Execuția transferurilor prin DMA
- Configurații de sisteme care utilizează transferuri prin DMA

Principiul I/E prin DMA (1)

- Dezavantajul I/E programate și al celor prin întreruperi: UCP este ocupată cu operațiile de I/E
- DMA elimină acest dezavantaj → transferurile de date sunt executate direct între memoria internă și sistemul de I/E
- Este necesar un modul suplimentar → controler DMA
- Două metode de efectuare a transferurilor prin DMA →

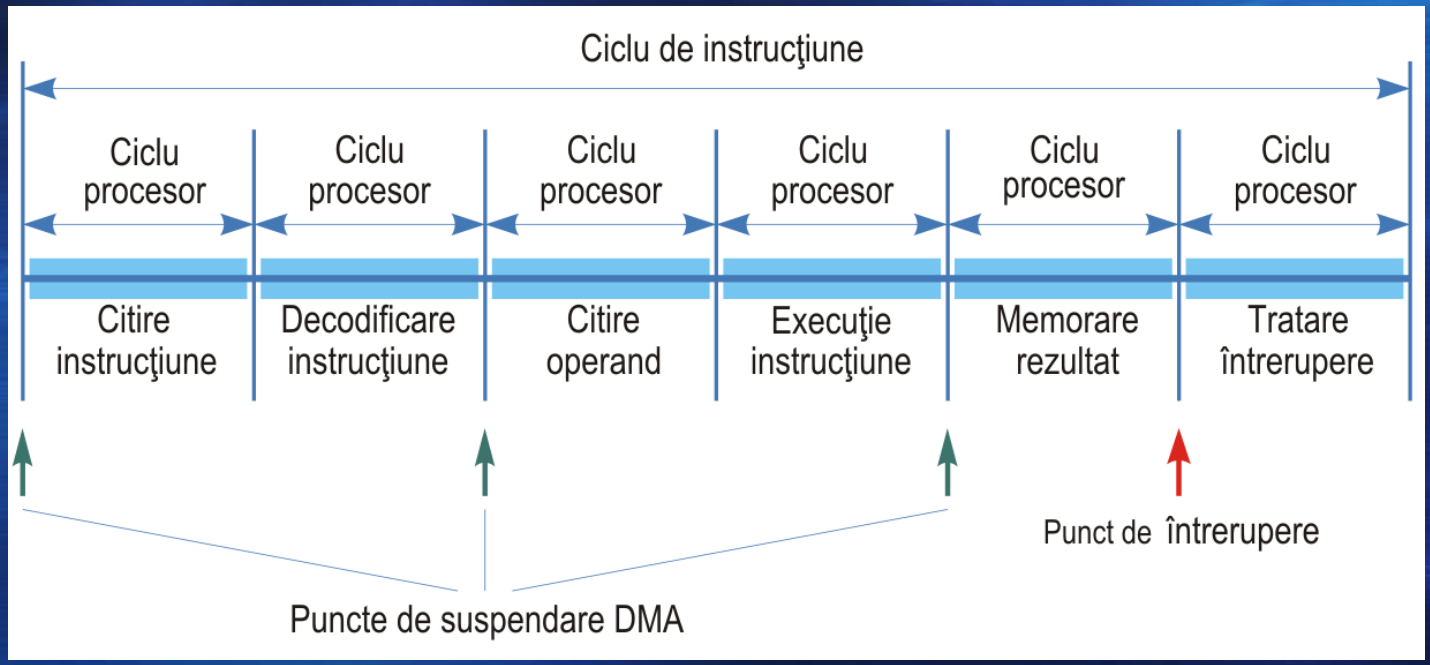
Principiul I/E prin DMA (2)

1. Prin suspendarea operațiilor efectuate de UCP și trecerea magistralei în starea de înaltă impedanță
   - Transfer "în rafală" ("*data break*") sau pe blocuri
   - Metoda este necesară, de ex., pentru unitățile de discuri magnetice → transferul datelor nu poate fi oprit sau încetinit
   - UCP este inactivă pentru perioade relativ lungi de timp

Principiul I/E prin DMA (3)

2. Prin utilizarea intervalelor de timp în care UCP nu accesează memoria
   - Transfer prin furt de ciclu (“*cycle stealing*”)
   - Blocurile lungi de date sunt transferate printr-o secvență de tranzacții DMA intercalate cu tranzacții ale UCP
   - Metoda reduce rata maximă de transfer, dar reduce și interferența controlerului DMA la accesul memoriei de către UCP

Principiul I/E prin DMA (4)



Puncte de suspendare ale activității UCP pentru transferuri prin DMA și prin întreruperi

Acces direct la memorie (DMA)

- Principiul I/E prin DMA
- Execuția transferurilor prin DMA
- Configurații de sisteme care utilizează transferuri prin DMA

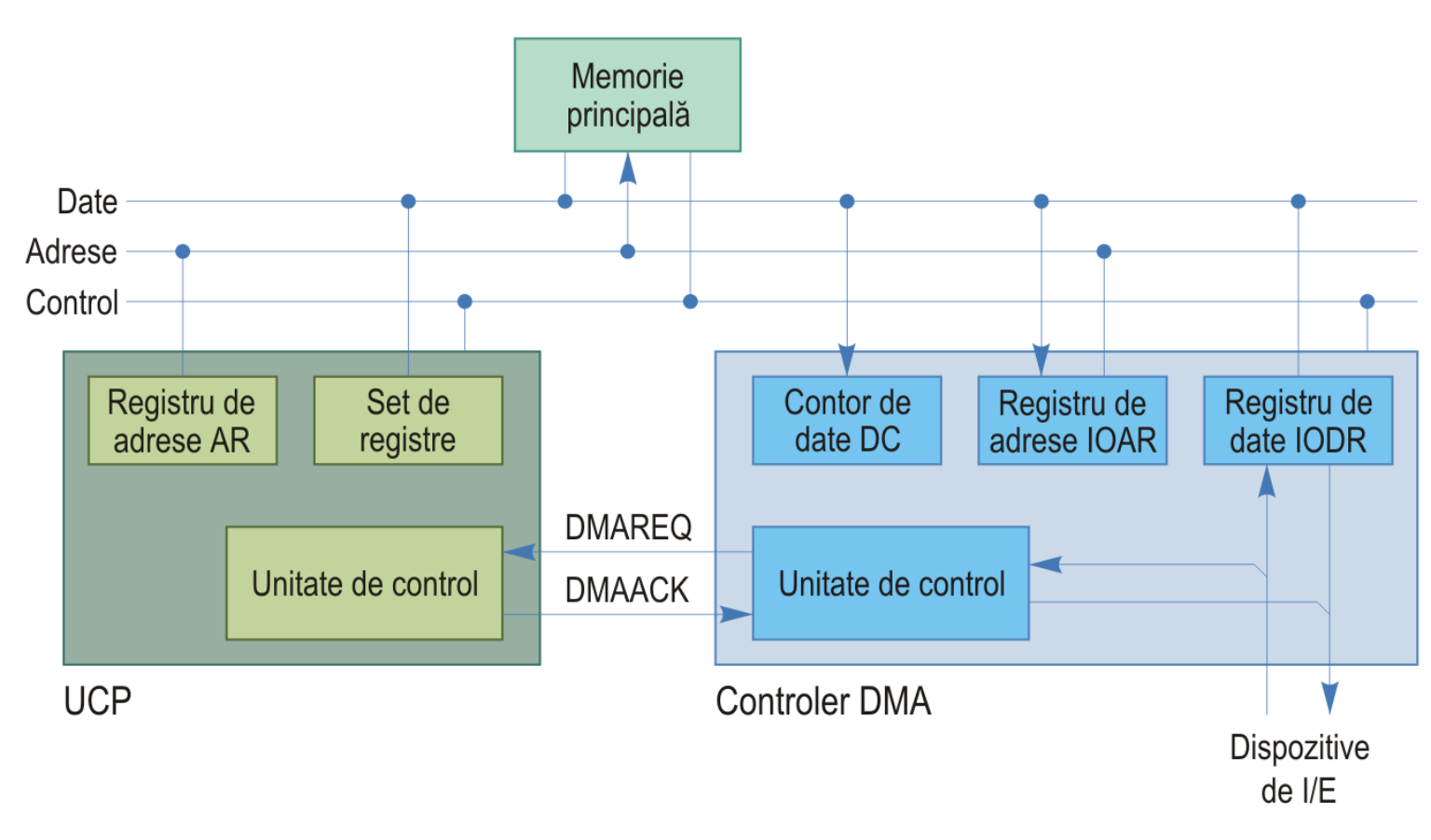
Execuția transferurilor prin DMA (1)

- UCP transmite controlerului DMA o secvență de inițializare
- Secvența de inițializare conține:
  - Direcția transferului (citire sau scriere)
  - Adresa dispozitivului de I/E implicat
  - Adresa de început a zonei de memorie cu care se efectuează transferul
  - Numărul de octeți sau de cuvinte care trebuie transferate

Execuția transferurilor prin DMA (2)

- UCP eliberează magistrala și poate executa alte operații
- Controlerul DMA va genera adresele și semnalele de comandă necesare transferului
- După un ciclu DMA se continuă cu alte cicluri sau se redă controlul UCP
- La terminarea transferului, controlerul DMA generează o cerere de întrerupere către UCP

Execuția transferurilor prin DMA (3)



Execuția transferurilor prin DMA (4)

1. UCP încarcă registrele IOAR și DC cu valorile inițiale necesare → instrucțiuni de I/E
2. Atunci când controlerul DMA este pregătit pentru transfer, activează semnalul *DMAREQ*
   - La următorul punct de suspendare DMA, UCP eliberează magistrala și activează semnalul *DMAACK*
3. Controlerul DMA transferă datele direct cu memoria principală; registrele IOAR și DC sunt actualizate

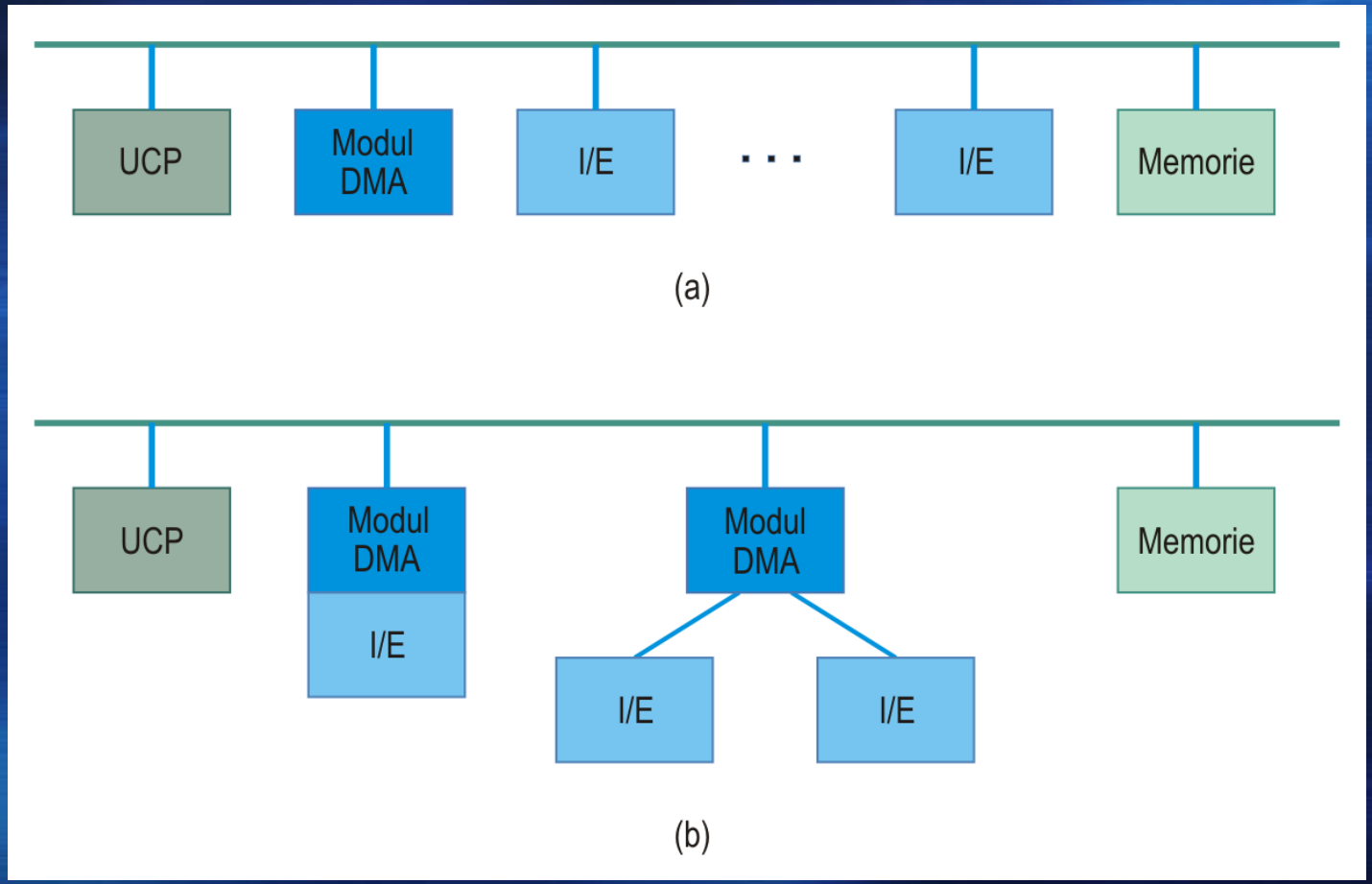
Execuția transferurilor prin DMA (5)

4. Dacă registrul DC ≠ 0, dar dispozitivul de I/E nu este pregătit, controlerul DMA eliberează magistrala
   - UCP dezactivează semnalul *DMAACK* și preia controlul asupra magistralei
5. Dacă registrul DC = 0, controlerul DMA eliberează magistrala și transmite o cerere de întrerupere către UCP
   - UCP răspunde prin oprirea dispozitivului de I/E sau prin inițierea unui nou transfer

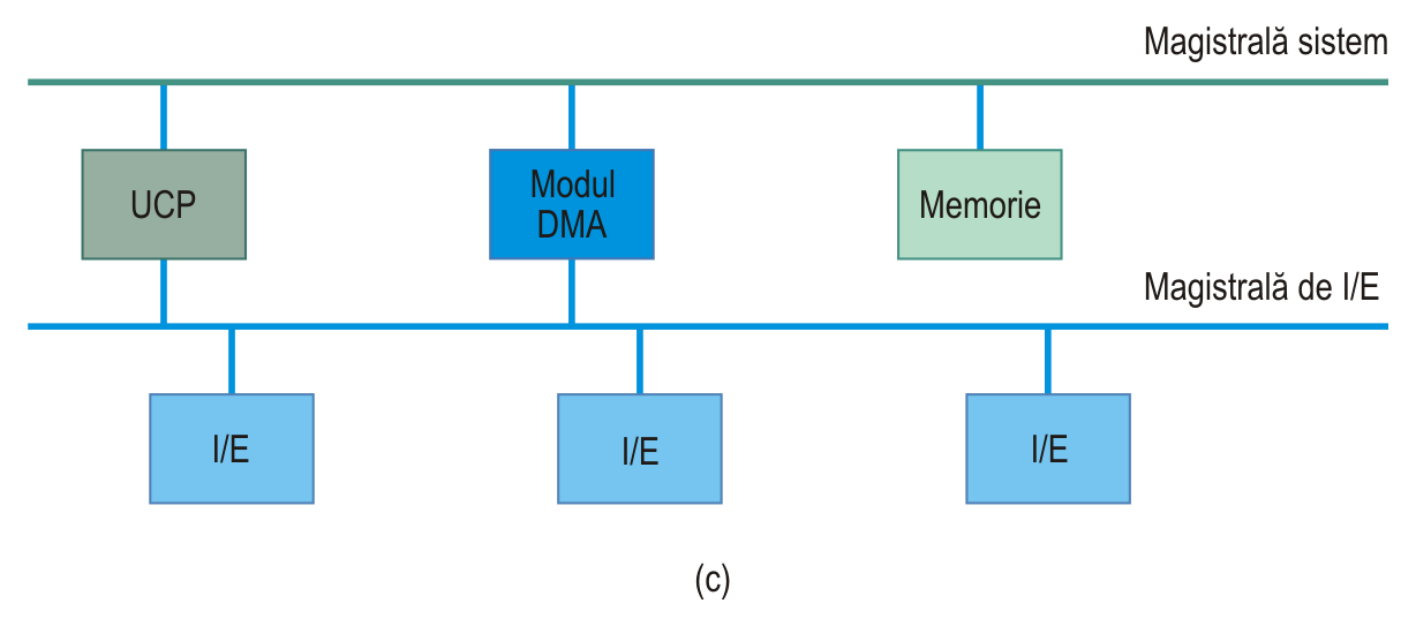
Acces direct la memorie (DMA)

- Principiul I/E prin DMA
- Execuția transferurilor prin DMA
- Configurații de sisteme care utilizează transferuri prin DMA

Configurații de sisteme care utilizează transferuri prin DMA (1)



Configurații de sisteme care utilizează transferuri prin DMA (2)



2. Metode pentru operații de I/E

- I/E programate
- I/E prin întreruperi
- Acces direct la memorie (DMA)
- Procesoare de I/E

Procesoare de I/E

- Principiul I/E prin procesoare de I/E (PIE)
- Execuția unui program de I/E
- Procesoare de I/E Intel

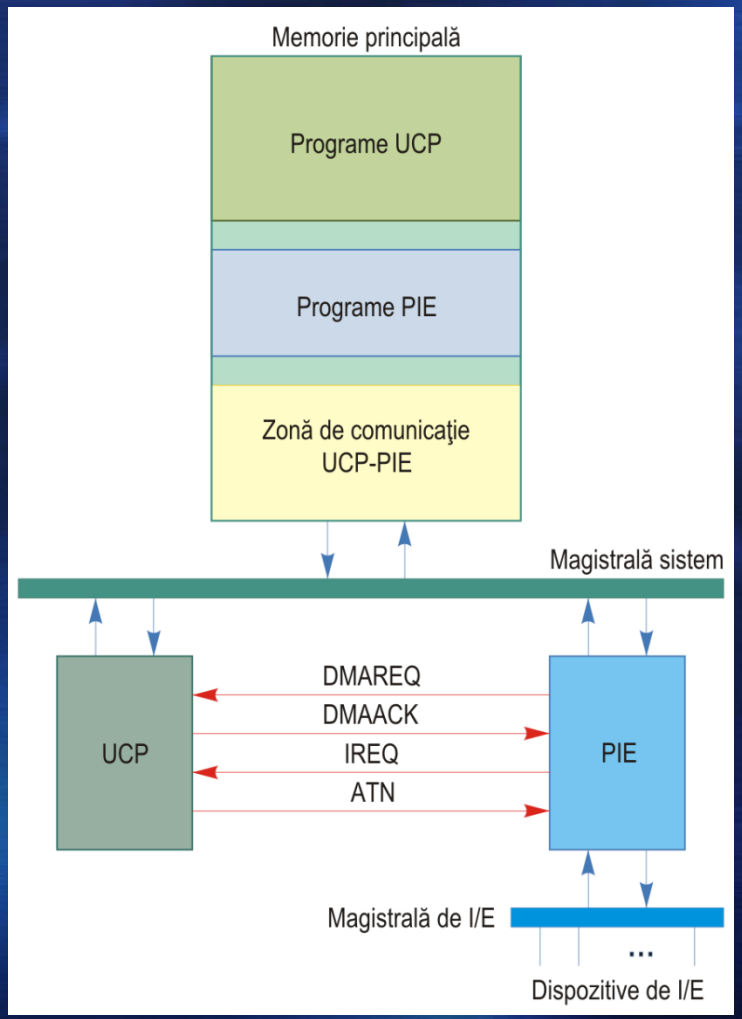
Principiul I/E prin PIE (1)

- Deși DMA eliberează UCP de numeroase operații de I/E, pentru perifericele rapide vor fi necesare numeroase cicluri de magistrală
  - În timpul acestor cicluri, UCP trece în starea de așteptare
  - Furturile de ciclu vor satura magistrala
  - Se consumă un anumit timp pentru tratarea întreruperilor
- Modulele de I/E au fost îmbunătățite, devenind *procesoare de I/E* (PIE)

Principiul I/E prin PIE (2)

- Unele din aceste module de I/E se numesc și *canale de I/E*
- PIE dispun de un set de instrucțiuni specializat pentru operații de I/E
- UCP transmite o comandă PIE pentru a executa un *program de I/E* (*program de canal*) aflat în memorie
- UCP poate specifica o secvență de operații de I/E, fiind întrerupt numai la terminarea întregii secvențe

Principiul I/E prin PIE (3)



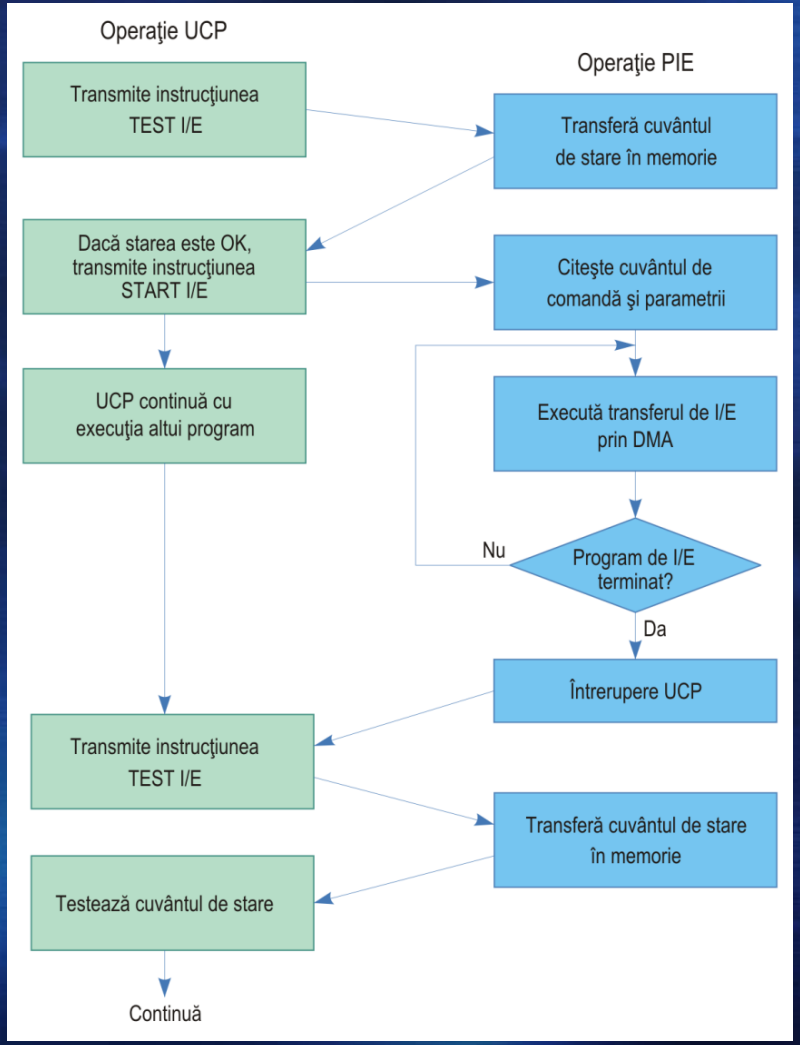
Principiul I/E prin PIE (4)

- UCP și PIE pot comunica între ele și direct prin intermediul liniilor de control
  - Cerere DMA (*DMAREQ*)
  - Achitare DMA (*DMAACK*)
  - UCP poate atenționa PIE prin activarea semnalului *ATN* (*Attention*) → execuția unui program de I/E
  - PIE poate atenționa UCP prin activarea semnalului *IREQ* → execuția unui program de tratare a întreruperii

Procesoare de I/E

- Principiul I/E prin procesoare de I/E (PIE)
- Execuția unui program de I/E
- Procesoare de I/E Intel

Execuția unui program de I/E



Procesoare de I/E

- Principiul I/E prin procesoare de I/E (PIE)
- Execuția unui program de I/E
- Procesoare de I/E Intel

Procesoare de I/E Intel (1)

- Destinate serverelor de înaltă performanță
- Proiectate pentru a maximiza rata de transfer a operațiilor de I/E ale serverelor prin echilibrarea fluxului de date
  - Eliberarea procesorului principal de sarcina executării operațiilor de I/E
  - Interceptarea întreruperilor generate de echipamentele periferice

Procesoare de I/E Intel (2)

- În subsisteme RAID (*Redundant Array of Independent Disks*) → controlul tranzacțiilor paralele și al algoritmilor de compresie
  - Un controler dedicat are un cost mai ridicat
- Tehnologii de la egal-la-egal (*"peer-to-peer"*)
  - Realizarea unei interfețe între unitățile de discuri și rețeaua locală → fluxul de date este gestionat de procesorul de I/E

Procesoare de I/E Intel (3)

- IOP331, IOP333
  - Destinate aplicațiilor de comunicație, de memorare sau de rețea care necesită operații de I/E intensive
  - Conțin interfețe pentru magistrala PCI-X (IOP331) sau PCI Express cu 8 căi (IOP333)
  - Accelerare prin hardware pentru aplicațiile RAID 5
    - Informația de paritate este distribuită pe mai multe unități de discuri

Procesoare de I/E Intel (4)

- IOP341, IOP342
  - Conțin interfețe pentru magistralele PCI-X și PCI Express (8 căi)
- IOP348
  - Destinat pentru subsistemele de memorare
  - Controler SAS/SATA II pentru 8 porturi
    - SAS: Serial Attached SCSI
    - SATA: Serial ATA
  - Accelerare prin hardware pentru aplicațiile RAID 6

Rezumat (1)

- Întreruperile eliberează UCP de testarea stării dispozitivelor de I/E
  - Două metode pentru alegerea adresei subrutinei de tratare: întreruperi ne-vectorizate sau vectorizate
  - Se utilizează diferite tehnici pentru identificarea sursei de întrerupere într-un sistem cu întreruperi multiple
  - Liniile de întrerupere se pot conecta în paralel sau în serie

Rezumat (2)

- Tehnica DMA permite efectuarea transferurilor de I/E fără intervenția UCP
  - Două metode de efectuare a transferurilor prin DMA: pe blocuri sau prin furt de ciclu
- Procesoarele de I/E (PIE) dispun de instrucțiuni specializate pentru operații de I/E
  - Un PIE poate executa o secvență de operații de I/E fără întreruperea UCP
  - UCP și un PIE comunică printr-o zonă de memorie și prin semnale de control

Noțiuni, cunoștințe (1)

- Operații executate de UCP la detectarea unei cereri de întrerupere
- Metode pentru alegerea adresei subrutinei de tratare
- Întreruperi ne-vectorizate
- Întreruperi vectorizate
- Tehnici de identificare a sursei de întrerupere într-un sistem de întreruperi multiple
- Tehnica de interogare software

Noțiuni, cunoștințe (2)

- Tehnica de interogare hardware
- Metode pentru stabilirea priorității întreruperilor simultane: metoda software; metoda hardware
- Conectarea în paralel a liniilor de întrerupere
- Conectarea în serie a liniilor de întrerupere
- Principiul I/E prin DMA
- Metoda transferului DMA pe blocuri
- Metoda transferului DMA prin furt de ciclu

Noțiuni, cunoștințe (3)

- Execuția transferurilor prin DMA
- Schema circuitelor pentru transferuri prin DMA
- Principiul I/E prin PIE
- Structura unui calculator cu PIE
- Comunicația dintre UCP și PIE
- Operații pentru execuția unui program de I/E