



Sisteme cu microprocesoare

Cursul 4 - Microprocesoare

Microprocesoare

- Definitia 1

- Circuit VLSI care incorporeaza o unitate centrala de executie (UCP)

- Definitia 2

- Circuit integrat care incorporeaza:
 - una sau mai multe unitati centrale de prelucrare
 - Multiprocesoare simetrice
 - Multiprocesoare asimetrice
 - Memorie cache
 - Alte componente:
 - controlor de intreruperi
 - controlor de magistrala
 - unitate de management a memoriei

Microprocesoare

- Aparitia primului microprocesor:
 - Firma Intel, I4004 – procesor pe 4 biti
- Primul procesor de succes:
 - Intel I8080 – procesor pe 8 biti
- Primul procesor pe 16 biti
 - Intel I8086
- Primul procesor pe 32 biti
 - Intel I80386
- Procesor cu arhitectura superscalara
 - Pentium Pro
- Procesor pe 64 biti, arhitectura multi-core
 - Pentium IV, Core 2 Duo, Dual core



Componentele unui microprocesor

- Componente traditionale:
 - Unitatea de comanda (UC)
 - Unitatea aritmetico-logica (UAL)
 - Registre generale si speciale (RG, RS)
- Componente suplimentare:
 - Memorie cache (Cache)
 - Coprocesor matematic (CoP)
 - Unitatea de management a memoriei (UMM)
 - Controlor de intreruperi

Semnalele unui microprocesor – magistrala sistemului

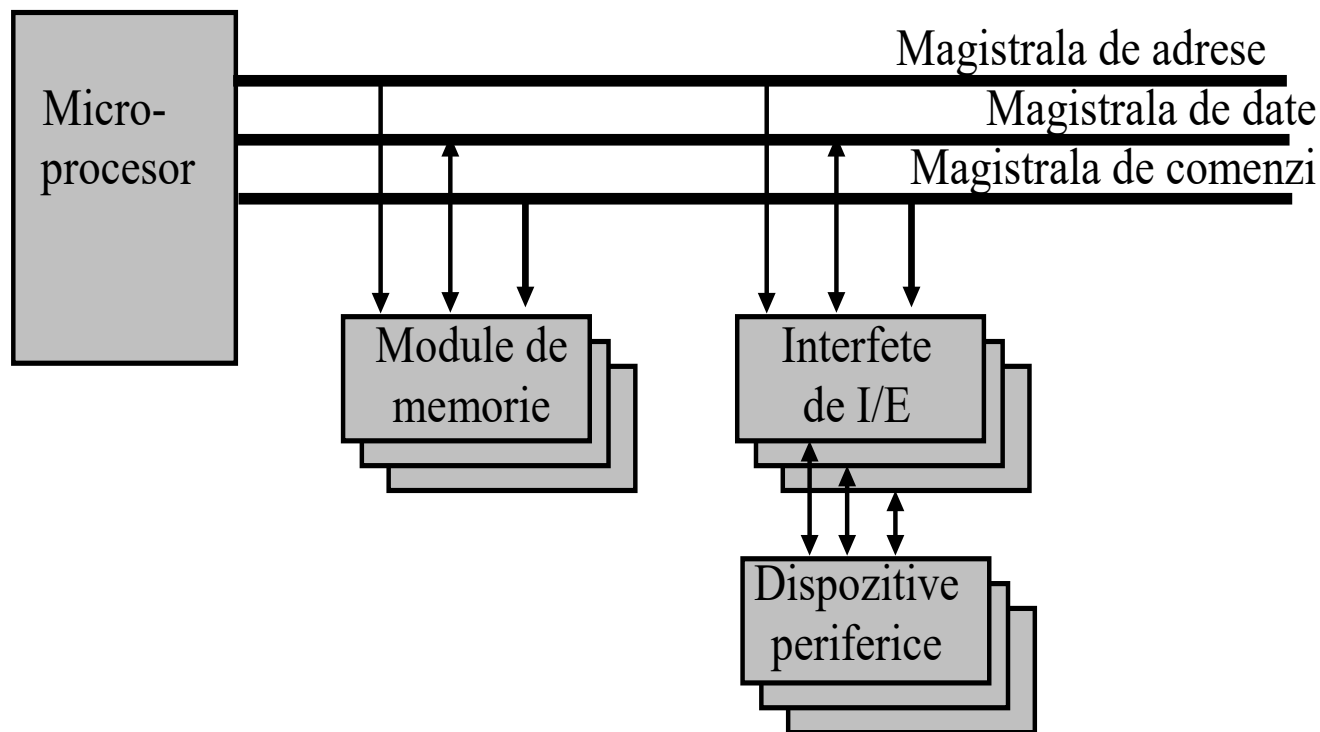


Figura 6-1. Schema de principiu a unui sistem cu microprocesor

Semnalele tipice ale unui microprocesor

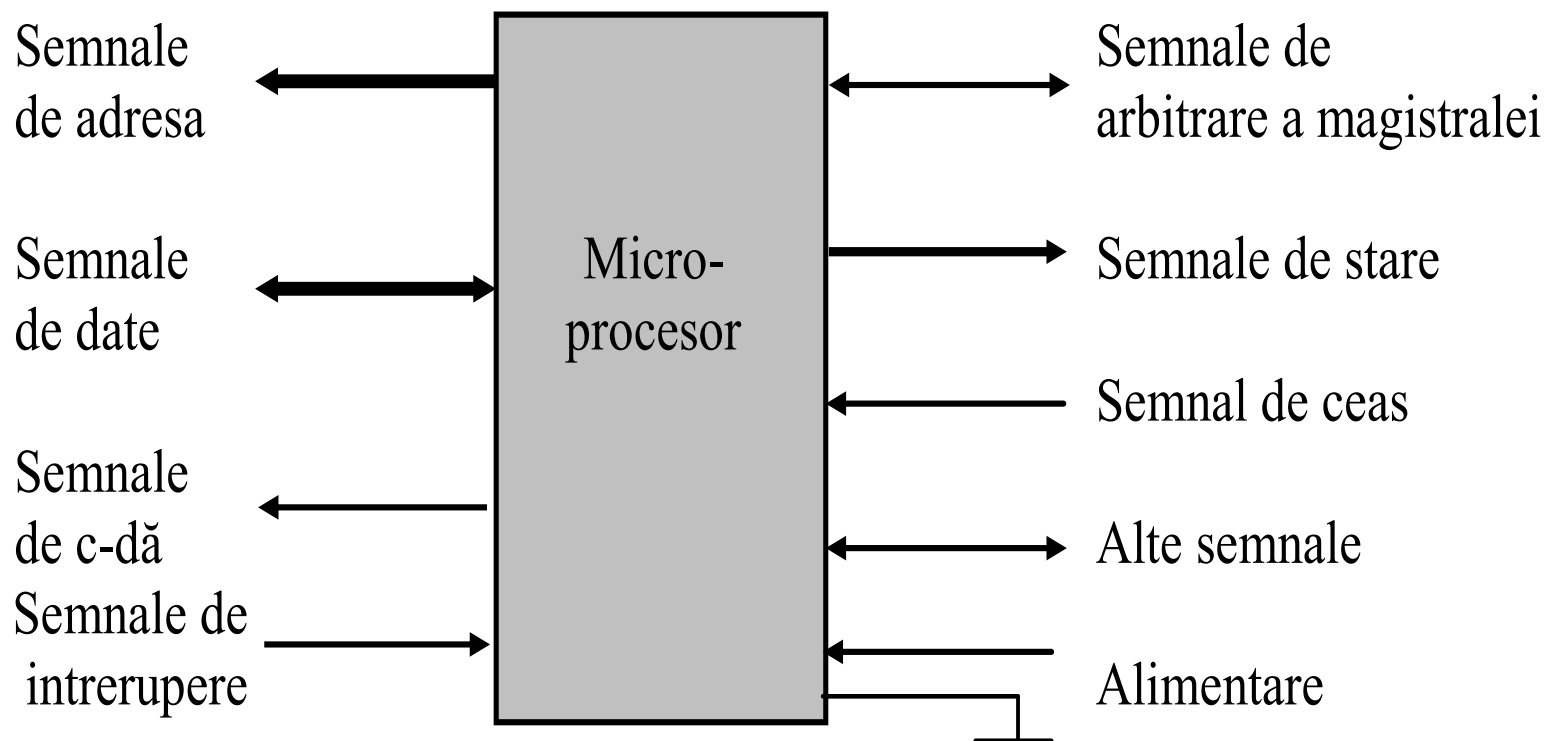


Figura 6-2. Semnalele unui microprocesor

Semnalele unui microprocesor

- Semnalele de adresa: A_0-A_n
 - Folosite pentru indicarea unei locatii de memorie sau port (registru) dintr-o interfata
 - Semnale generate de procesor catre celelalte componente ale sistemului
 - Numarul de linii de adresa determina spatiul maxim de adresare al procesorului
 - Ex: 20 linii=> 1MB
 - 32 linii =>4GB
- Semnale de date: D_0-D_m
 - Semnale bidirectionale folosite pentru transferul de instructiuni si date intre procesor si celelalte componente ale sistemului
 - Numarul de linii de date este in acord cu structura procesorului
 - Numarul de linii de date determina latimea maxima a datelor transferate pe magistrala
 - Ex: 16, 32, 64 linii

Semnalele unui procesor

- Semnale de comanda si control
 - Semnale de comanda:
 - MRDC\, MWTC\, IORC\, IOW\, INTA\
 - Semnale de control: ALE, DEN
 - Semnale de intrerupere: INTR, NMI
 - Semnale de ceas: CLK, PCLK
- Semnale de alimentare: GND, +5V, 3,3V

Executia instructiunilor

- Pasi:
 - Citirea instructiunii
 - Citirea operanzilor
 - Executia operatiei
 - Salvarea rezultatului
- Privit din afara procesorului:
 - Ciclu de citire instructiune din memorie -obligatoriu
 - Ciclu de citire operand/ operanzi - optional
 - Ciclu de salvare a rezultatului – optional
- Ciclu de transfer
 - o operatie de transfer pe magistrala care implica:
 - Procesorul si memoria sau
 - Procesorul si o interfata de I/E
 - Un ciclu se desfasoara pe durata unui numar de perioada de ceas (tacti)
 - Un ciclu presupune o secventa de semnale pe magistrala (adrese, date comenzi)

Procesoarele familiei Intel x86

- I8086 și I8088

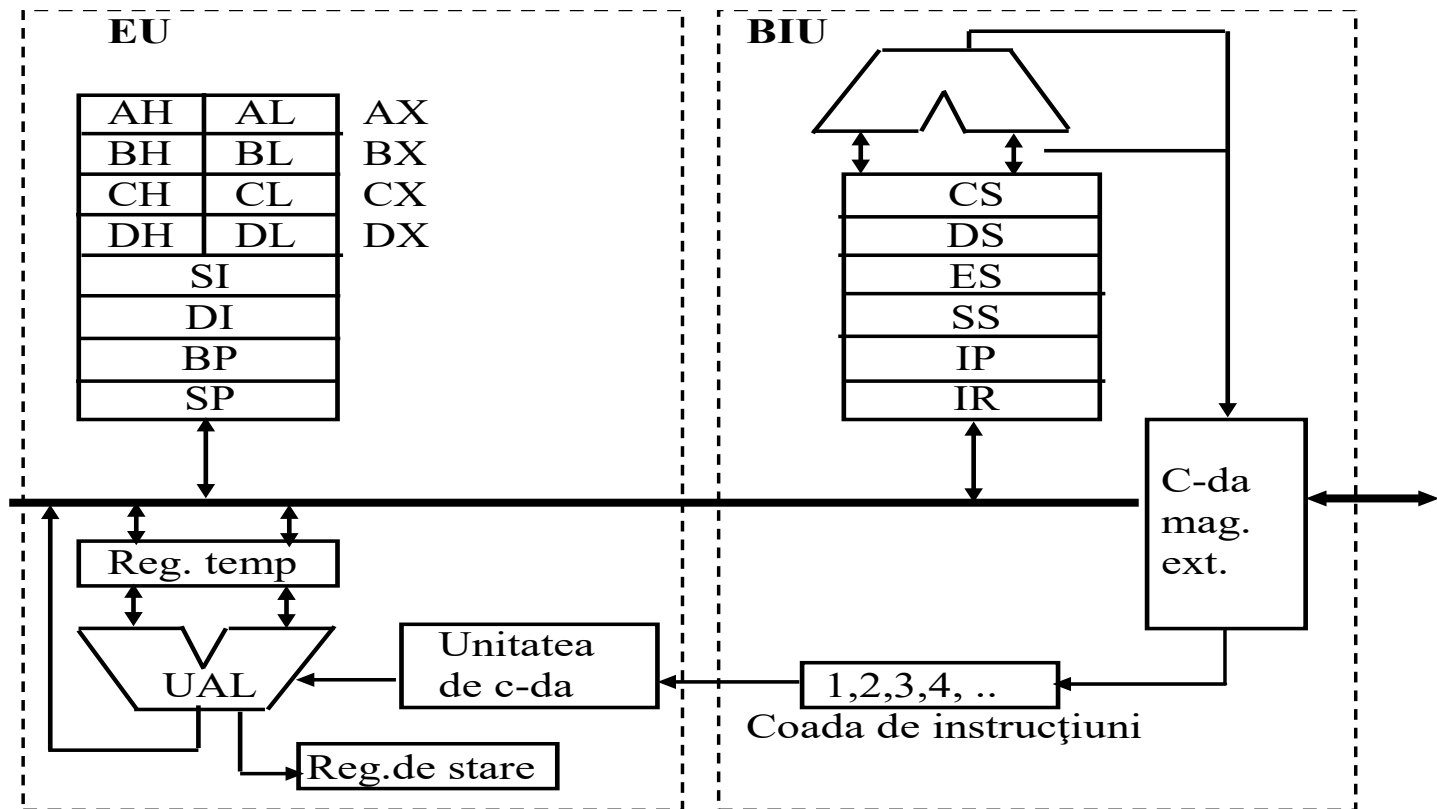


Figura 6-3 Structura interna a procesoarelor I8086 și I8088

I8086, I8088

○ I8086

- procesor pe 16 biti, 16 semnale de date, 20 semnale de adresa (spatiu de adresare 1MB)
- CI cu 40 de pini
- Circuite ajutatoare:
 - 8087 – coprocesor matematic (v.flotanta)
 - 8288 – controlor de magistrala
 - 88289 – arbitror de magistrala
- Structura:
 - EU –Execution Unit – unitatea de execuție, dedicată pentru execuția propriu-zisa a instrucțiunilor
 - UC, UAL, registre generale, registru de stare
 - BIU – Basic Interface Unit - unitatea de interfațare a magistralei externe, care se ocupă de transferul de informații (date și instrucțiuni) între procesor și magistrala externă
 - Registre speciale (segment, IP)
 - Coada de instructiuni, interfata cu magistrala externa

○ 8088

- identic cu 8086 dar cu 8 semnale de date pe magistrala externa

I80286

- Procesor pe 16 biti
- 16 semnale de date, 24 semnale de adresa (spatiu de adresare 16MB)
- Moduri de lucru: real si protejat

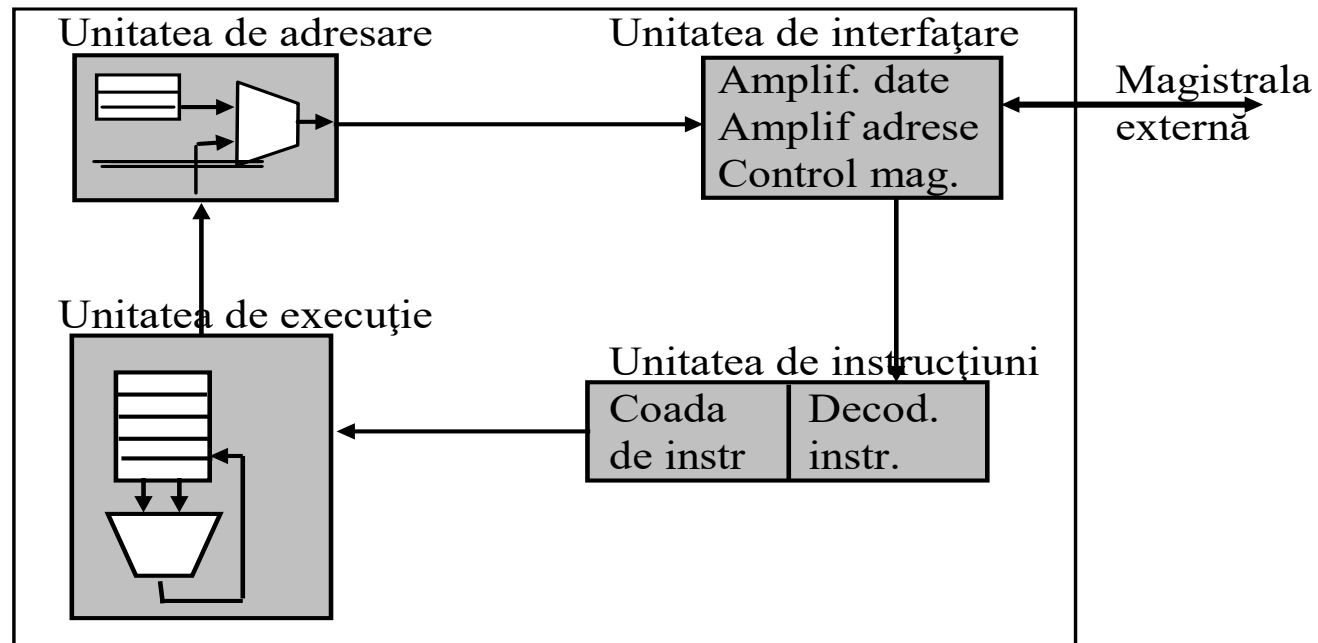


Figura 6-5 Schema bloc a procesorului I80286

I80386

- Procesor pe 32 biti, 32 semnale de date, 32 semnale de adrese (spatiu de adresare 4GB)
- Registre generale extinse la 32 biti
- 2 registre segment suplimentare
- Mod protejat perfectat

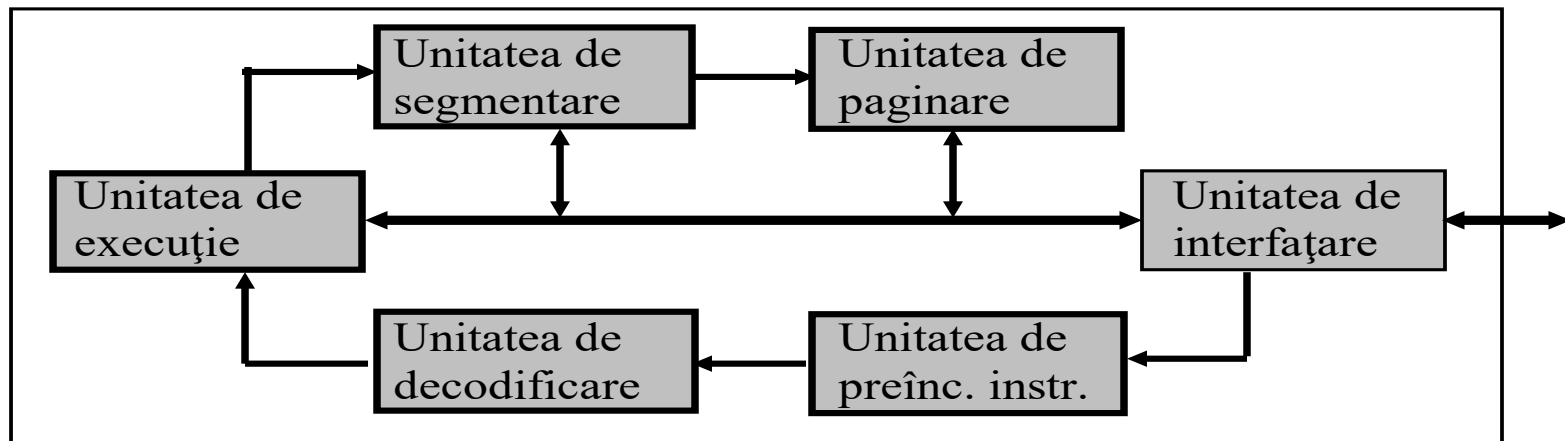


Figura 6-7 Schema de principiu a procesorului I80386

I80486

- Integreaza: procesor+coprocessor+MMU
- Faciliteaza utilizarea memoriei cache
- Perfectarea modului protejat

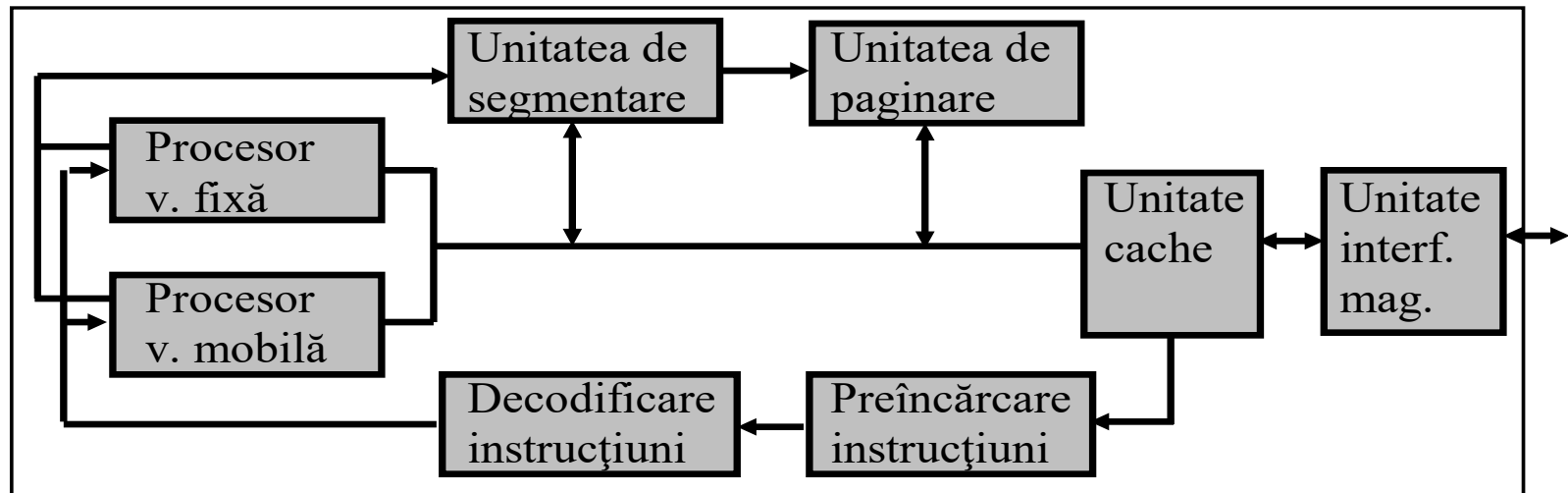


Figura 6-8 Schema de principiu a procesorului I486

Pentium

- Doua linii de procesare pipeline: U si V
- Magistrala externa de date pe 64 biti (desi este procesor pe 32 biti)
- Versiuni:
 - Pentium – arhitectura cu 2 linii pipeline
 - Pentium Pro
 - Pentium II
 - Pentium III
 - Pentium IV – arhitectura NetBurst

Procesoarele Pentium

- Pentium Pro
 - Arhitectura superscalara P6
 - Executie dinamica a instructiunilor:
 - Analiza fluxurilor de date
 - Predictia salturilor
 - Executia speculativa a instructiunilor
- Pentium II
 - Tehnologia MMX:
 - Componenta pt. date multimedia
 - Executie paralela tip SIMD
 - 57 instructiuni noi MMX
- Pentium III
 - Tehnologia SSE2
 - Executie paralela SIMD pt. flotant
 - Pentru grafica 2D/3D

Arhitectura superscalara P6

- 3 unitati autonome
- Executie speculativa

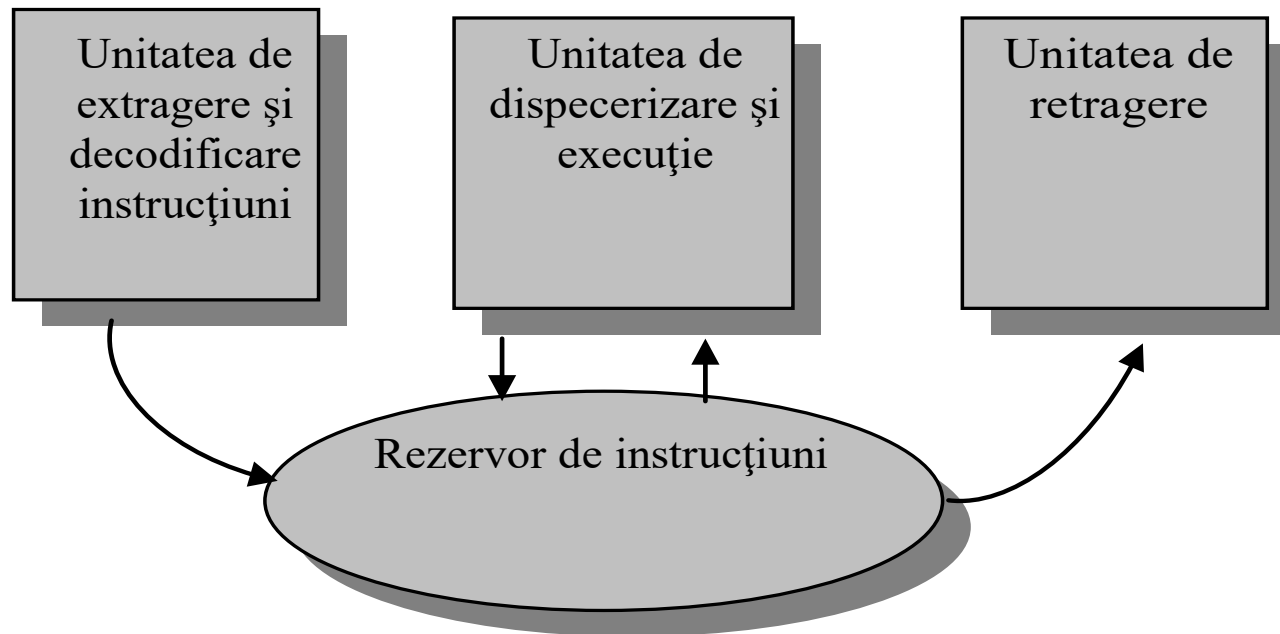


Figura 6-9 Schema de principiu a arhitecturii P6

Arhitectura P6 - detalii

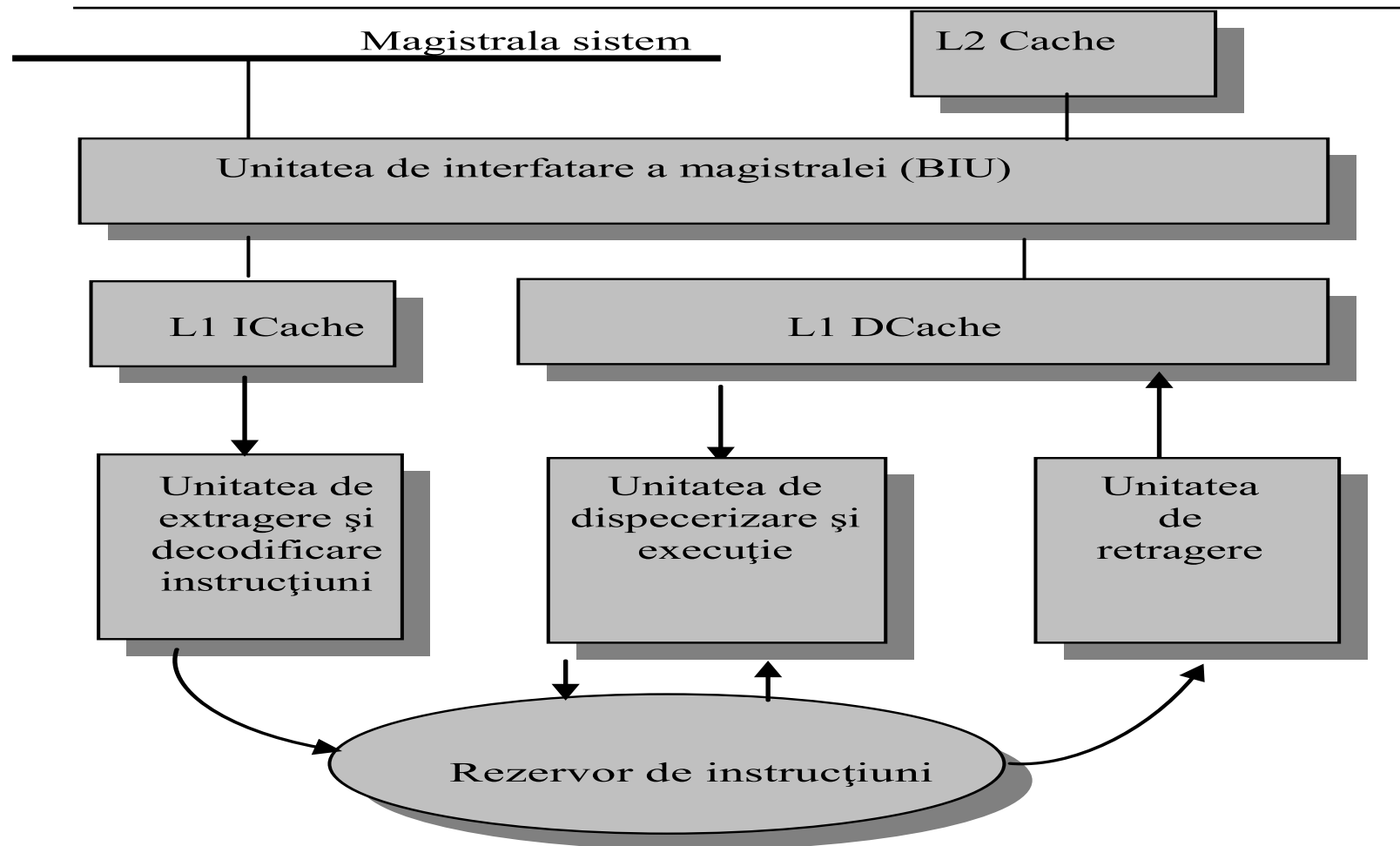


Figura 6-10 Fluxul de informații (instrucțiuni și date) în cadrul arhitecturii P6

Unitatea de citire si decodificare instructiuni

- Citeste si decodifica in avans instructiuni
- Unitate in-order
- 3 instructiuni decodificate / ceas
- Predictia salturilor
- Componente:
 - Decodificator
 - Circuit de generare adrese (next_IP)
 - Bloc memorare adrese de salt
 - Secventiator de microinstructiuni
 - Alocator de registre Alias

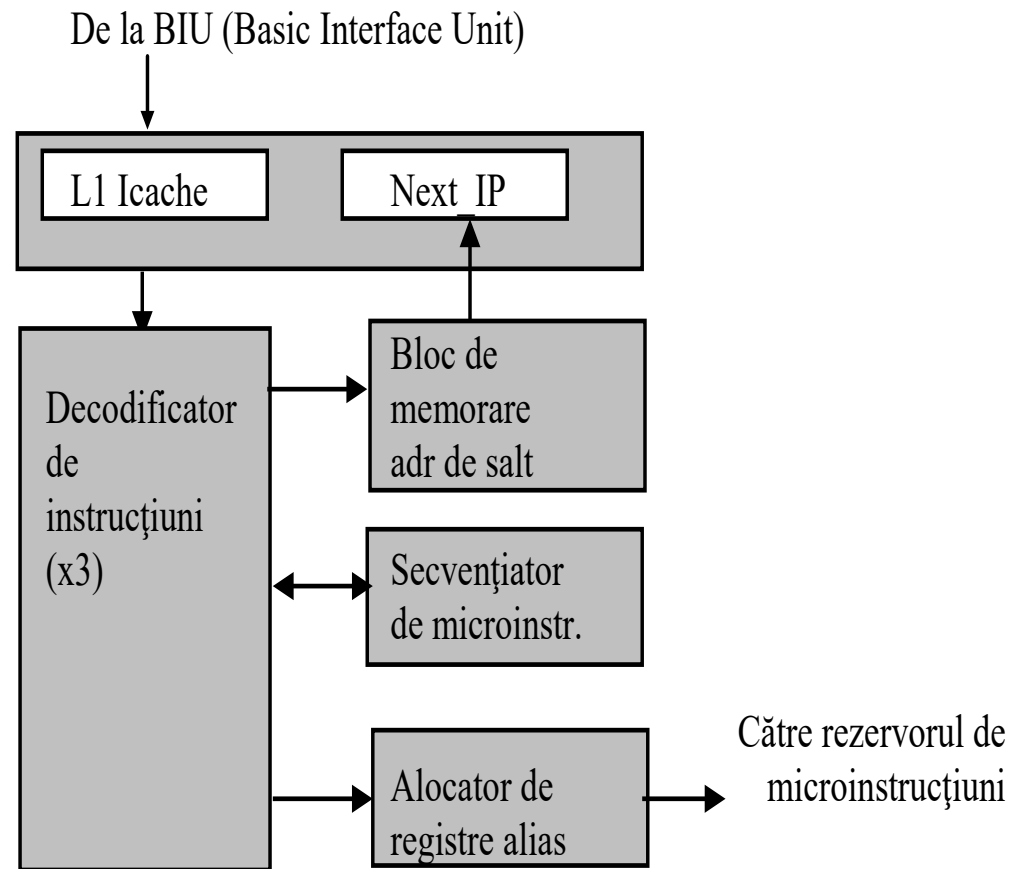


Figura 6-11 Unitatea de extragere și decodificare a instrucțiunilor

Unitatea de dispecerizare si executie

- Responsabila pentru executia instructiunilor
- Unitate out-of-order
- 7 unitati de executie + statie de rezervare
 - UEI – unitate de executie pt. intregi
 - UEF – unitate de executie pt. flotant
 - MMX – unitate de executie pentru date multimedia
 - UGA – unitate de generare adrese
 - UGS – unitate de generare salturi

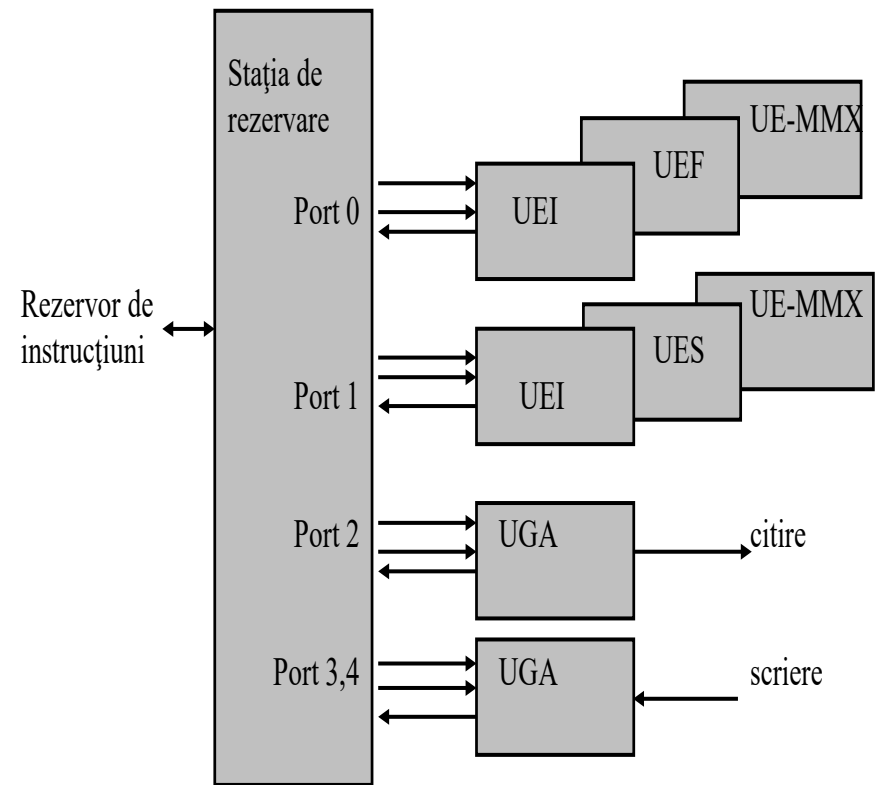


Figura 6-12 Unitatea de dispecerizare și execuție

Unitatea de retragere

- Reface ordinea normala a instructiunilor (rezultatelor)
- Unitate in-order
- Componente:
 - UIM – unitatea de interfațare a memoriei
 - FRR – fișierul de registre de retragere

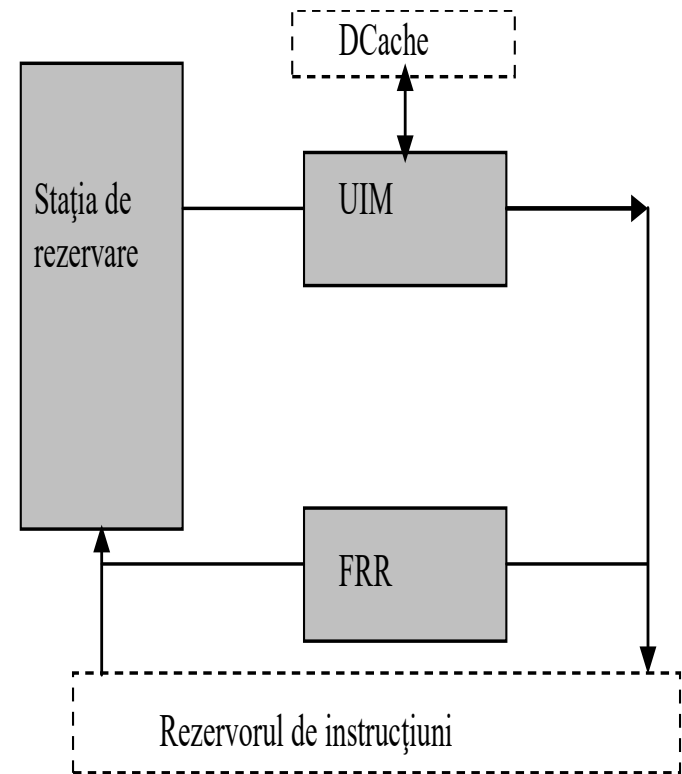


Figura 6-13 Unitatea de retragere

Magistrala P6

- Elementele definitorii ale noului standard de magistrală sunt :
 - magistrala lucrează în mod sincron , cu memorarea semnalelor pe frontul urcător al semnalului de ceas
 - transferul de date se realizează pe bază de tranzacții, care se pot desfășura în paralel
 - există suport pentru conectarea mai multor procesoare pe aceeași magistrală
 - sunt favorizate transferurile pe blocuri de date
 - există implementate mecanisme de detecție și corecție a erorilor
 - există suport pentru verificarea și menținerea consistenței memoriilor cache
 - se utilizează o tehnologie de transmitere a semnalelor care garantează nealterarea semnalelor chiar și la frecvențe mari



Transferul pe magistrala P6

- Tranzactii paralele (pipeline)
- Faze:
 - Arbitrare
 - Cerere de transfer
 - Spionare
 - Eroare
 - Raspuns
 - Transfer
- Tehnologie: GTL

Diagrama de tip pentru magistrala P6

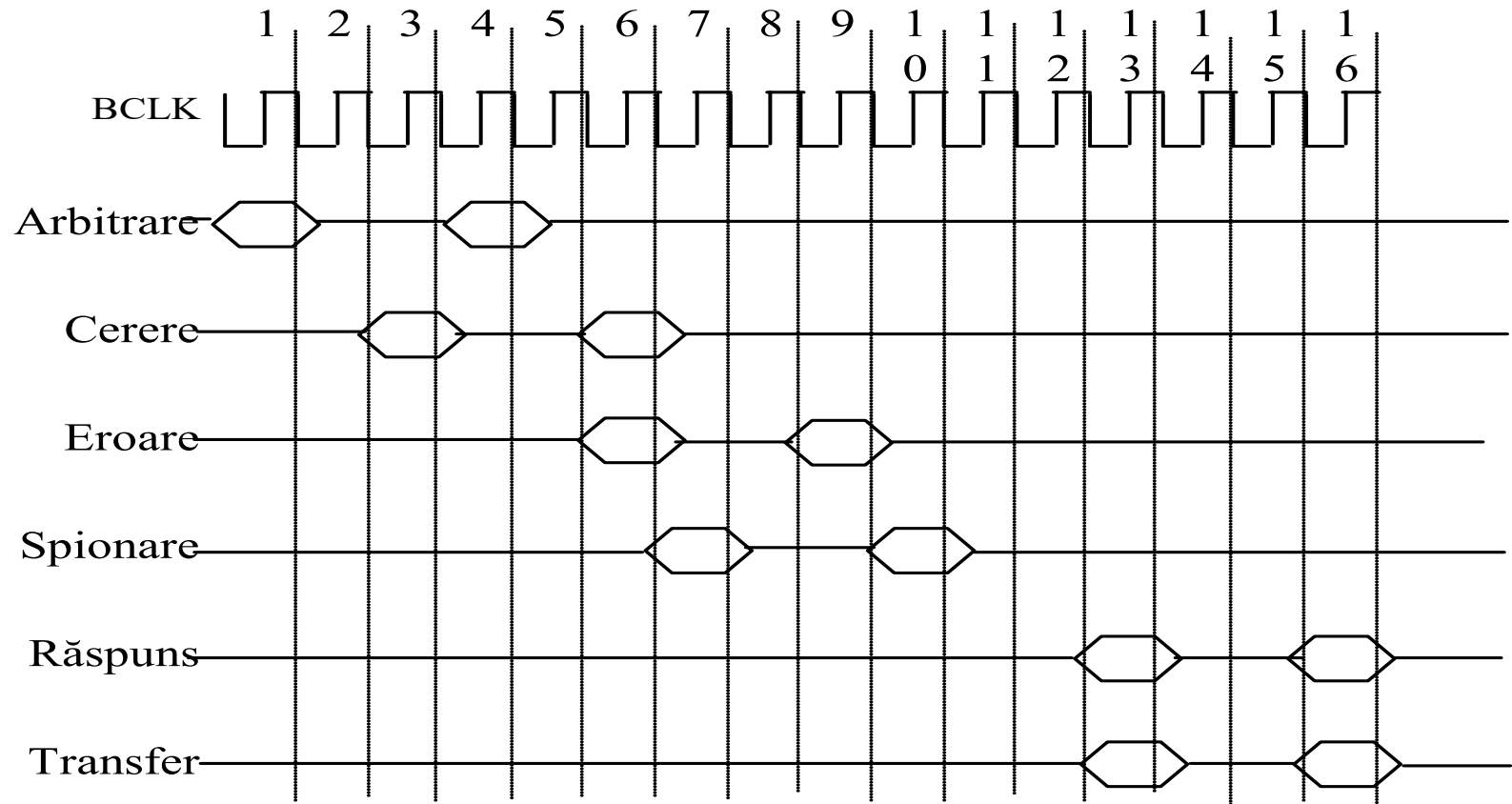


Figura 6-14 Tranzacții în regim concurent pe magistrala P6

Pentium IV – Arhitectura NetBurst

- - adoptarea unei arhitecturi **pipeline cu 20** de faze de procesare a instrucțiunilor, dublu față de varianta P6
- - **creșterea de 4 ori a frecvenței magistralei** sistem, care astfel ajunge la 400MHz; prin utilizarea tehnologiei "quad pump" se asigură o rată de transfer de 3,2Gocteți/s
- - **dublarea vitezei de execuție a UAL**, ceea ce permite efectuarea a două operații aritmetice și logice simple pe fiecare perioadă de ceas; de fapt unitatea aritmetico-logică lucrează cu un semnal de ceas care are frecvența dublă față de frecvența procesorului
- - utilizarea unei **memorii cache de foarte mare viteză** (eng. Advanced Transfer Cache), care la o frecvență de 2GHz asigură o rată de transfer de 64Gocteți/s
- - extinderea tehnologiei MMX (eng. **SSE** - Streaming SIMD Extension) prin adăugarea a 144 instrucțiuni SIMD noi și extinderea lățimii datelor prelucrate la 128 biți (16 octeți prelucrați în paralel)
- - îmbunătățirea cu **30% a ratei de predicție** a salturilor în special datorită extinderii ferestrei de analiză; procesorul Pentium 4 menține în linia de execuție până la 126 de instrucțiuni și utilizează 4Kocteți pentru memorarea adreselor de salt (BTB - Branch Target Buffer)

Pentium IV

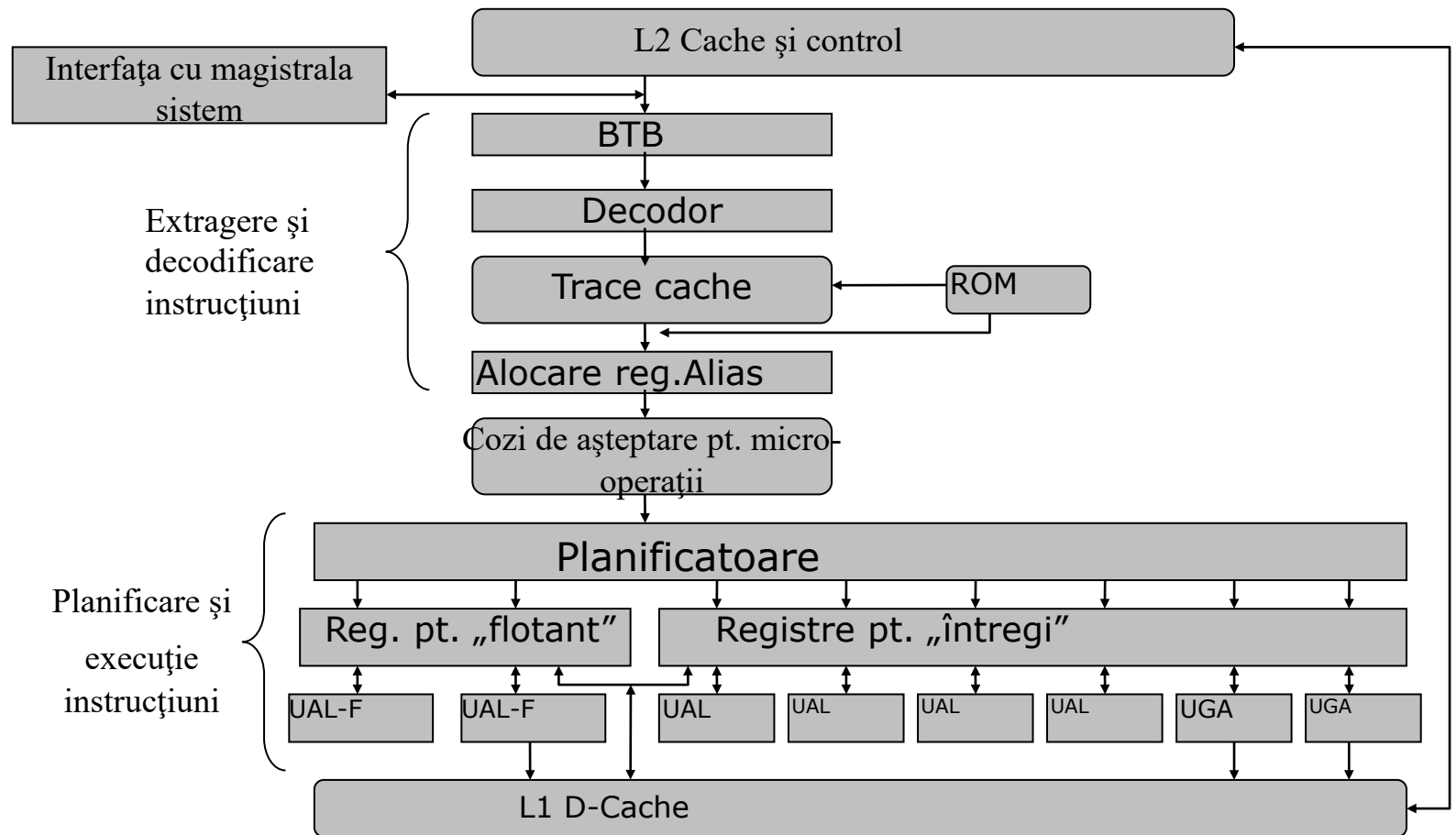


Figura 7-15 Arhitectura Pentium 4 - NetBurst



Pentium IV

- Noi tendinte:
 - Tehnologia hyperthreading
 - Tehnologia multi-core
 - Arhitectura pe 64 biti