

## 0. Resurse / cunoștințe minimale necesare !

### 0.1. Cunoștințe

Procesorul MIPS, versiunea pe 16 biți, implementată în laboratoarele 4, 5, 6, și 7: schemă, principii de funcționare, modul de execuție a fiecărei instrucțiuni implementate pe procesor.

### 0.2. Resurse

Proiectul test\_env conținând implementarea proprie a procesorului MIPS 16 cu ciclu unic.

#### Atenție!

- Implementarea cu succes a versiunii pipeline depinde de baza de unde porniți: test\_env cu MIPS 16 corect / complet implementat
- **Dacă la predarea procesorului din laboratorul 8 nu ați obținut nota maximă, este obligatoriu ca înainte de laboratorul 9 să vă puneți la punct procesorul prin una din variantele următoare:**
  1. Individual - recomandat.
  2. Folosiți o versiune corectă de la un coleg, și comparați descrierea voastră VHDL cu cea corectă pentru a depista eventualele greșeli / lipsuri, și efectuați corecțiile necesare pe proiectul personal. Dacă nu aveți o astfel de versiune corectă la îndemână, o găsiți [aici](#). Obs. test\_env este reprezentat în arhiva de entitatea lab7\_4.
  3. ~~Copiați o variantă completă / corectă de la colegi.~~