

## Regulamentul laboratorului de AC

### **Organizatoric**

1. Hârtia și instrumentul de scris sunt obligatorii.
2. La stațiile de lucru existente se va lucra în D:\Student, unde se recomandă crearea unui director cu numele grupei, respectiv sub-director cu numele studentului.
3. La final de laborator, munca se salvează pe suport extern (USB stick, online, etc.). Nu se garantează persistenta proiectelor pe stațiile de lucru în săptămâni succesive. (=scuza "Cineva mi-a șters ce am făcut săptămâna trecută, deci nu pot..." este inutilă).
4. Se lucrează individual. Dacă există supraaglomerare, atunci este permis lucrul în echipă cu condiția ca fiecare să lucreze, alternativ!
5. Este permis lucrul pe laptop-ul personal, dacă se dorește, cu condiția să folosiți cablul personal micro-usb pentru programarea plăcii. Este interzisă utilizarea cablurilor de rețea de la una dintre stațiile de lucru!
6. Semigrupele care termină la ora 20 (ultima semigrupă a zilei) au obligația de a pune la loc plăcile Basys (și alte elemente folosite).

### **Notare și prezentă**

1. Se pune accent pe o activitate susținută de-a lungul semestrului din partea studenților. Indiferența generală + plus interes brusc în ultimele săptămâni ale semestrului nu garantează promovarea.
2. Notarea se face în principiu la fiecare laborator (respectiv o dată la 3-4 laboratoare – prin test scris).
3. Nota pe un laborator va arăta gradul de finalizare a activităților cerute, eventualele teme făcute acasă din laboratorul anterior, precum și lecturarea în prealabil (acasă) a materialului pentru laboratorul curent.
4. Testele periodice (3 în tot semestrul) vor avea rol de colocviu. Situațiile unde există diferențe mari între notele primite pe fiecare laborator, și nota obținută la testele aferente, se vor analiza cu atenție. Ponderi teste T1 20%, T2 55%, T3 25%.
5. Necitirea în avans, acasă, a materialului pentru laboratorul curent se penalizează (nota scăzută drastic, mergând până la nota 1 pe laboratorul curent).
6. Orice cod prezentat pe care studentul nu este capabil să-l explice în detaliu, sau să îl poată reproduce, se consideră copiat. Penalizarea de regulă va fi nota 1 pe laboratorul curent, la prima abatere (de la a doua, se poate ajunge la recontractarea disciplinei).
7. Prezențele sunt obligatorii conform orarului pe grupe (inclusiv semi-grupele se vor respecta!), absențele accidentale (maxim 2), din motive întemeiate, se pot recupera în aceeași săptămână cu alte grupe, sau în săptămâna imediat următoare. Se

- anunță prin e-mail profesorul de laborator și curs. Situațiile excepționale (ex. mai multe absențe din motive medicale) se discută cu profesorul de laborator și curs.
8. În cazul cumulării a mai mult de 2 absențe (cel mult 4), se discută cu profesorul de la curs.
  9. În cazul cumulării a mai mult de 4 absențe (chiar și recuperate pe parcurs), disciplina se re-contractează.

#### *Reguli de notare pentru activitatea din laborator:*

1. În fiecare laborator se primește o nota între 1 și 10.
2. Acasă se termină toate activitățile neterminate în ora de laborator.
3. În laboratorul următor nota pe laboratorul anterior se poate ajusta cu:
  - până la 2 puncte în minus dacă activitățile nu au fost terminate acasă.
  - până la 2 puncte în plus dacă activitățile au fost terminate acasă, dar nu mai mult de nota 9!

Promovarea laboratorului: Nota colocviu  $NC \geq 5$ . Notă finală pe laborator =  $0.6 * NC + 0.4 * \text{Nota Activitate}$

#### **Descrierea în VHDL**

1. Primele 3 laboratoare/primul curs au scopul de a vă reintroduce în limbajul VHDL. Se începe de la cel mai jos nivel, fiind extrem de important pentru cei care au lacune să recupereze (= scuza la final de semestru „De fapt eu nu am lucrat nimic pentru ca nu am știut VHDL de la materiile anterioare....” este inutilă!).
2. Nu se va mai privi limbajul VHDL ca un limbaj de programare! Când scrieți cod VHDL, gândiți-vă permanent că prin acel cod descrieți comportamentul unui circuit digital, și implicit, mediul de dezvoltare va sintetiza acel circuit.
3. Ca o completare la regula 2, nu scrieți niciodată un proces VHDL atât de complex încât să nu vă fie clar ce se va sintetiza din acel proces (respectiv ce componentă descrieți de fapt).
4. Nu se va merge pe abordare structurală generalizată, adică fiecare componentă, indiferent de complexitatea sa (poartă logică, registru, etc.) să aibă entitate separată, importată apoi cu component/port map într-un circuit mai complex.
5. Se va merge pe o abordare mixtă, adică o componentă X se va declara ca o entitate de sine stătătoare dacă: are o funcționalitate care este peste cea a componentelor de bază și conține cel puțin câteva componente de bază (porți, regiștri, mux, demux, decodificator, etc.). Aceste componente de bază se vor descrie în arhitectura entității X prin semnale declarate, procese și / sau atribuiri concurente.