Algoritm de rutare globala pentru arhitectura Atmel AT6002 de Field-Programmable Gate Arrays (FPGA)

January 9, 1997

1 Introducere

FPGA sunt echipamente logice programabile folosite pentru implementarea circuitelor loffgice. Avantajul utilizarii acestora consta in principal in posibilitatea programarii rapide si repetate a acestora, fiind astfel des utilizate pentru prototipuri de circuite sffau circuite integrate specifice unei aplicatii.

In general structura unui FPGA consta din 3 componente: o matrice de celule logice programabile, o retea programabila de interconectare a celulelor si celule speciale de ffI/O, care conecteaza matricea de celule logice la semnalele externe.

Exista diferite tipuri de arhitecturi de FPGA, care difera prin topologia rutarii si complexitatea structurii interne a celulelor, care poate varia de la reprezenfftarea unei structuri logice simple (ex. o poarta NAND cu 2 intrari), pina la o structura complexa si multe intrari.

O retea de FPGA poate fi programata prin fixarea functionalitatii celulelor si a retelei de interconectare, in cadrul unei 'configuratii'.

2 Prezentare generala a unei arhitecturi de FPGA

Arhitectura de FPGA consta din matricea de celule logice, celule I/O si arhitectura de rutare. Celulele I/O se presupun a fi plasate la periferia matricii de celule logice.

2.1 Celulele logice

Numarul de intrari/iesiri, structura interna si complexitatea functionalitatii celulelor logice difera de la o arhitectura la alta. Un parametru important pentru descrierea generala a unei arhitecturi de celula logica este T - numarul de laturi ale unei celule ffunde un anumit pin poate sa apara fizic. T variaza intre 1 si 4.

Valoarea lui T afecteaza problema rutarii astfel:

- O valoare mica a lui T implica un numar maiff mic de switch-uri pt. conexiuni (deci switch-urile vor ocupa mai putin spatiu si vor produce mai putine intirzieri in rutare), dar conexiunile vor fi mai lungi deoarece e necesar accesul la o anumita latura a celulei logice, ceea ce creste si incarcarea unui canal de comunicare si provoaca rutareaff unei conexiuni prin mai multe switch-uri.
- O valoare mare a lui T scurteaza conexiunile fizice si micsoreaza incarcareffa canalelor de comunicare (busuri), dar poate mari numarul de switch-uri la mai mult dffecit ar fi necesar. O valoare potrivita pentru a obtine o arie acceptabila si o capacitate rezonabila de rutare a canalelor (gasita experimental, v. [Brown]) e sugerata a fi T = 2.

Un alt parametru caraceristic unei celule logice ffeste P - numarul de pini/celula logica.

2.2 Blocuri de conexiune

Blocurile de conexiune asigura conectarea celulelor logice la canalele de comunicatie. Firele din interiorul canalelor traverseaza neintrerupte blocul de conexiune si pot fi optffional conectate la pinii celulelor logice prin intermediul switch-urilor. Se defineste parametrul Fc pentru un bloc de conexiune ca fiind numarul de fire la care poate fiff conectat fiecare pin. Se presupune in general ca switch-urile sunt bidirectionale.

Topologia blocurilor de conexiune (distributia switch-urilor in bloc) afecteaza rutabilitatea arhitecturii de FPGA. Un numar cit mai mic de switch-uri e de dorit din considerente de cost si timp. Designul blocului trebuie sa asigure o probabilitate cit mai mica (sau nula) de aparitie a imposibilitatii de conectare a unei ffperechi de pini. Avind parametrul W, definit ca numarul de fire/canal, proiectarea blocului de conexiune este relativ usffoara daca Fc este apropiat de W si devine dificilaff daca Fc ¡= 0.5*W (v. [Brown]).

2.3 Blocuri de schimb (switch block)

Blocurile de schimb asigura conectarea firelor de la intrarile blocului ffsi are rolul de a lega fizic fire din canale diferite care se intersecteaza in cadrul blocufflui. Flexibilitatea blocului, caracterizata prin parametrul Fs, se defineste ca numarul de ffff4re la care un anumit fir de la intrare se poate conecta.

Topologia acestor blocuri, care defineste pozitia firelor de la ffintrarea in bloc care se conecteaza la un anumit fir, afecteaza rutabilitatea arhitecturii de FPGA. Pentru o aceeasi valoare a lui Fs pot exista topologii diferite, din care unele sa impiedice realizarea unor conexiuni necesare pentru rutare, in vreme ce altele acopera toate (sau majoritateffa) directiilor de iesire de pe un anumit fir care sunt necesare pentru realizarea conexiunilor.

3 Arhitectura AT6002

Arhitectura de FPGA AT6002 este organizata ierarhic ca o matrice de 4 x 4ff blocuri care , la rindul lor, contin fiecare 8 x 8 celule logice identice. La periferia matricii celulele logice sunt conectate la celule de I/O.

Reteaua de interconectare permite conectarea directa intre blocuri si cefflule vecine.

O celula logica e caracterizata de starea partii sale interne si a celei externe. Partea interna se poate afla in una din urmatoarele stari posibile:

- starea 0: rutare directa
- starea 1: rutare incrucisata
- starea 2: semi-sumator
- starea 3: semi-sumator cu registru

Partea externa a unei celule logice se refera la configurarea celor 2 pini de intrare (A si B) si a celor 2 pini de iesire (A si B), care conecteaza celula logica cu celulele vecine si busul local (L). Deci parametrii celulei conform definitiilor din prezentarea geneffrala, sunt T = 4 si P = 5. Exista 6 moduri posibile de configurare a partii externe:

- scriere: iesirea A e scrisa si pe busul local L
- tri-state: A e conectata la scriere pe busul local L printr-o poartaff tri-state
- citire: intrarea e preluata de pe L si combinata cu A prffintr-o poarta AND
- MUX: intrarea e preluata de pe L si combinataff cu A printr-o poarta AND, iar L e combinat cu B printr-o poarta AND
- TURN-B: cot pt. busul local
- TURN-0: cot pt. busul local

Starile interne si modurile externe pot fi combinate in 24 feluri posibile de configurare a celulelor logice.

Rutarea la nivelul celulelor logice permite conectarea directa cu vecinii directi. Cele 2 semnale de intrare A si B pot fi alese independent de la oricare din ceffle 4 celule imediat vecine (N, E, S, V) sau pot fi puse pe valoarea constanta '1'.ff Pe linga cele 2 intrari A si B, mai poate fi utilizata ca intrare in celula unul din cele 4(!) busuri locale conectate la fiecare celula.

Pinii de iesire (A si B) sunt imediat dispffonibili pe toate cele 4 parti ale celulei siff pot fi utilizati ca intrare pentru vecinii directi. Optional, iesirea A poate fi conectata la busul local L. O celula poate fi configurata ca sa foloseasca busul local fie ca intrare, fie ca iesire, dar nu ambele cazuri in acelasi timp. Singura exceptie de la aceasta regula este asa-numita configurare 'cornerturn' (cotitura), ffcare serveste la rutarea unui semnal de pe un bus orizontal pe unul vertical sau vice-versa, caz in care busfful local nu serveste nici ca intrare, nici ca iesire.

In reteaua ierarhica de rutare pentru arhitectura AT6002 FPGA, la nivelul bfflocurilor se utilizeaza busurile. Acestea sunt folosite pentru transportul semnalelorff la distanta. Sunt disponibile 2 tipuri de busuri: locale si expres.

In principiu cele 2 tipuri de busuri sunt astfel utilizate: Cele 8 celule din cadrul unui bloc pot fi conectate prin busurile locale. Coloanele pot fi conectate cu ajutorul busurilor LBusW si LBusE, iar rindurile cu ajutorul LBusN si LBusS. Busurile locale ffale blocurilor adiacente sunt separate, dar pot fi conectate intre ele printr-un repetffor.

Pereche cu fiecare(!!) bus local exista si un bus expres. Busul expres nu este direct accesibil pentru o celula, ci trebuie accesat printr-o conexiune priffn busul local(!!) si un repetor. Busul expres este utilizat pentru transportul rapiffd al semnalelor la distanta mare.

Repetoarele sunt switch-uri programabile utilizate pentffru a separa sau lega busurile blocurilor adiacente. Fiecare pereche de bus local si expres intra intr-un repetor la granita unui bloc. Conexiunile sunt unidirectionale. La periferia matricii de celule logice busurile expres sunt conectate la celulele periferice.

Celulele logice de la periferia retelei AT6002 FPGA pot fi conectatffe la semnalele externe prin intermediul celulelor de I/O denumite si 'pads'. Fiecare pad I/O este conectat la o pereche(!) de celule logice. Una este folosita ca celula logica furnizoare de intrari in matricea logica prin preluarea intrarilor celulei pad, iar cealalta conecteaza iesirffile la celula pad printr-o poarta tri-state. Aceasta poarta poate fi configurata permanent 'on' sau 'off', sau sa fie controlata de busul local paralel sau perpendicular pe granita matricii de celule logice.

4 Algoritmul de rutare globala a conexiunilor in matricea AT6002 FPGA

4.1 Consideratii generale

O componenta cheie in proiectarea unui FPGA o reprezinta arhitectura structurii de rutare formata din firele de conexiune (grupate in canale (busuri) de comunicatie) si routing switch-urile care interconecteaza celulele logice.

Performantele arhitecturii de rutare a circuitufflui FPGA depind de utilizarea efectiva a resurselor de interconectare si de viteza circuitului implementat.

Una din caracteristicile care afecteaza deciziile de proiectarffe este aria ocupata de switch-urile programabile in cadrul circuitului FPGA si capacitafftea si rezistenta electrica ale switch-urilor.

Un numar mare de switch-uri asigura o flexibilitate marita a arhitecturii, celulele fiinffd usor de interconectat, dar prea multe switch-uri provoaca o depasire a ariei acceptabile pentru circuit si intirzieri suplimentare nedorite.

Un numar mai mic de switch-uri de interconectare permit performante mai bune ale circuitului in ceea ce priveste aria si viteza de propagare a semnalelor, dar poate creea probleme in realizarea conexiunilor necesare functionalitatii circuitului.

O alta caracteristica a arhitecturii de rutare a FPGA o reprezinta tipurile de canale utilizate pentru interconectare. Exista cel putin doua abordari in ceea ce priveste lungimea firelor din canale.

In unele arhitecturi de FPGA se utilizeaza segmenffte de fire scurte pentru realizarea conexiunilor locale (in cadrul aceluiasi bloc logic) si canale cu fire lungi pentru conexiuni la distanta, accesabile insa doar prin conectarea la canalele scurte (locale) prin infftermediul unui switch (repetor). Aceasta abordare permite o utilizare eficienta a ariei ocupate de firele de conexiune, dar implica performante de viteffza mai scazute datorita numarului mai mare de repetoare necesare.

O alta abordare in realizarea arhitecturii de interconectare si rutare a FPGA utilizeaza 'canale de rutare segmentate', adica se mixeaza fire de conexiune scurtffe si lungi, obtinindu-se canale cu segmente de lungime variabila. Aceasta abordare imbunatateste performantele de viteza, dar implica algoritmi de rutare mai complecsi (v. [Brown]).

Strategia generala traditionala de rutare a circuitului FPGA consta in aplicarea unui algoritm de rutare globala urmat de unul de rutare detaliata.

Algoritmul de rutare globala urmareste realizarea asignarii fiecarei coneffxiuni din FPGA la un anumit canal de rutare (bus).

Algoritmul de rutare detaliata completeaza si rafineaza alocarile conexiunilor iffn arhitectura de rutare prin asignarea la nivel de fir de conectare in canale si la nivel de switch.

4.2 Algoritmul de rutare globala pentru arhitectura Atmel AT6002

Asa cum se observa in descrierea generala a arhitecturii Atmel AT6002, reteaua ffde rutare are urmatoarele caracteristici specifice:

- foloseste canale locale si expres si nu canale segmentate
- nu precizeaza explicit structura blocurilor de conexiune, deci nu va fi luata in considerare influenta structurii acestora asupra algoritmului de rutare
- toti pinii unei celule logice sunt disponibili pe cele 4 laturi ale celulei, iar aceffstia sunt direct disponibili celulelor imediat vecine, fara a mai fi necesara conectarea la buffs
- accesul celulelor la busul expres se face prin intermediul unui bus local

Pentru algoritmul de rutare globala se considera urmatoarele :

- alocarea conexiunilor se face la nivel de canal locaffl sau expres
- reprezentarea conexiunilor se face prin perechi de celule si nu de pini, deoarece T = 4 deci comportarea globala a conexiunilor nu depinde de piffnul care se conecteaza
- nu se trateaza legaturile de I/O la nivel de pad-uri. Legatura dintre celulele logice si pad-uri nu necesita alocare pe bus. Semnalele de I/O se preiau de la pinii celulelor periferice inspre interiorul matricii FPGA

- Se utilizeaza busul expres pentru conexiuni la distanta; ffpentru aceasta se seteaza parametrul 'FAR' (in fisierul mytypes.h : define FAR) la valoarea dorita pentru lungimea minima a unei conexiuni care sa fie rutata pe un bus express

Datele de intrare pentru algoritmul de rutare globala sunt perechile de celule carffe trebuie conectate. Celulele sunt reprezentate prin coordonatele lor$(x,\ y)$ in matricea 32 x 32 de celule logice. Dimensiunea efectiva a matricii (patratice) de celule poate fi setata prin constanta $FPGA\_DIM$ definita in fisierul **mytypes.h** . Rezultatul rutarii globale este reprezentat prin lista de canale locale si/sau globale prin care a fost rutata fiecare conexiune. Canalele sunt reprezentate prin codificarea tipului si pozitiei lor si anume: l - pentru bus local, e - pentru bus expres; h - bus orizontal, v - bus vertical; numarul de ordine in sirul de 2 x $FPGA\_DIM$ canale h sau v (cite 2 canale de un anumit tip la fiecare celula).

Algoritmul de alocare a busurilor este urmatorul:

Deoarece busurile locale sunt utilizate atit pentru conexiunile scurte, cit si pentru cele lungi (v. accesul la busul express), acestea au probabilitatea cea mai mare de supraincarcare, deci deciziile de rutare se iau in functie de incarcaffrea acestora.

Conexiunile intre celulele vecine nu necesita alocare la bus, ci se fac prinff conectare directa.

Se presupune ca un bus express poate fi conectat printr-un repetor la busul local pereche si la busurile locale pe care le intersecteaza.

Rutarea conexiunilor intre celule aflate pe aceeasi coloana sau linie se face pe cel mai putin incarcat bus local vecin. In cazul conexiunilor la distanta, alegerea busului express se face in functie de incarcarea busului local prin care se acceseaza busul expffress. Se considera conexiunile de acces prin busul local la sursa si la destinatie ca incaffrca busul local o singura data.

Rutarea conexiunilor intre celule aflate pe rinduri sau coloane alaturate se face pe cel mai putin incarcat bus dintre cele 2 coloane.

Pentru rutarea conexiunilor pentru care diferenta intre coordonatele x si y e maiff mare decit 1, se incearca rutarea astfel incit sa fie necesare cit mai putine coturi (schimffbari de directie). Deci se incearca rutarea folosind cele 2 canale vecine celulelor sursa sffi destinatie, cu o singura schimbare de directie.

Fiecarei celule i se ataseaza lista de conexiuni in care celula respectiva este sursa. Conexiunile se despart in lista de conexiuni scurte, care nu necesita alocarea deff bus express si lista de conexiuni lungi, care necesita alocari pe ambele tipuri de buffsuri. Algoritmul trateaza mai intii lista conexiunilor scurte in intreaga matrice si apoffi cea a conexiunilor lungi, deoarece in cazul conexiunilor lungi, in principiu, exista mai multffe alternative de rutare cu diferente de cost mici.

In procesul de alocare a busului local pentru conexiunea curenta a celulei cuffrente se alege busul local cu incarcarea minima din directia necesara rutarii. In cazul in care incarcarea minima depaseste deja MAXLOAD, constanta definita ca valoareff a incarcarii maxime admise, inseamna ca ambele canale de pe directia dorita au atins incarcarea maxima. Acest caz nu este inca tratat in implementarea algoritmului, dar ar putea fi realizat

prin colectarea intr-o lista separata a conexiunilor pentru care nffu s-a putut realiza alocarea prin algoritmul de baza si tratarea lor la sfirsit prin metode mai complexe de determinare a unui path posibil de rutare, cu posibilitati de backtrac
Ideea de baza ar fi aceea ca ar fi bine sa se incerce alocarea cit mai multor conexiffuni comform principiilor de baza din algoritm, care asigura un cost scazut si viteza in propagare pentru conexiuni, iar conexiunile problematice sa fie alocate in reteaua de interconectare la sfirsit.

References

[1] S. Brown, M. Khellah, and G. Lemieux *Segmented Routing for Speed-Performance and Routability in Field-Programmable Gate Arrays* (articol)

[2] S. Brown *Routing Algorithms and Architectures for Field-Programable Gate Arra(ys* (teza de doctorat sustinuta in 1992)

[3] S.W. Gehring *Field-Programmable Gate Arrays and the Atmel AT6002 Architecture* (articol)

[4] Kai Zhu and D. F. Wong *A Timing-Driven Global Router for Symmetrical Array Based FPGAs* (articol)