

Cuprinsul cursului

- 1. Introducere
- 2. Metode pentru operații de I/E
- 3. Magistrale
- 4. Module de extensie pentru sisteme înglobate
- 5. Afișaje ale calculatoarelor
- 6. Adaptoare grafice
- 7. Discuri optice

3. Magistrale

- Introducere
- Considerații electrice
- Sincronizarea transferurilor de date
- Magistrale paralele și seriale
- Arbitrajul de magistrală
- Magistrala PCI
- Magistrala PCI Express
- Alte magistrale seriale
- Magistrala VME

Introducere (1)

- **Magistrale:** căi electrice de transmitere a semnalelor între diferite module ale unui sistem de calcul
- În sistemele de calcul există mai multe magistrale diferite:
 - O **magistrală sistem** pentru conectarea UCP la memorie
 - Una sau mai multe **magistrale de I/E** pentru conectarea perifericelor la UCP

Introducere (2)

- Anumite dispozitive conectate la magistrală sunt **active** și pot iniția un transfer → *master*
- Alte dispozitive sunt **pasive** și așteaptă cererile de transfer → *slave*
- **Exemplu:** UCP solicită unui controler de disc citirea sau scrierea unui bloc de date
 - UCP are rol de *master*
 - Controlerul are rol de *slave*

3. Magistrale

- Introducere
- Considerații electrice
- Sincronizarea transferurilor de date
- Magistrale paralele și seriale
- Arbitrajul de magistrală
- Magistrala PCI
- Magistrala PCI Express
- Alte magistrale seriale
- Magistrala VME

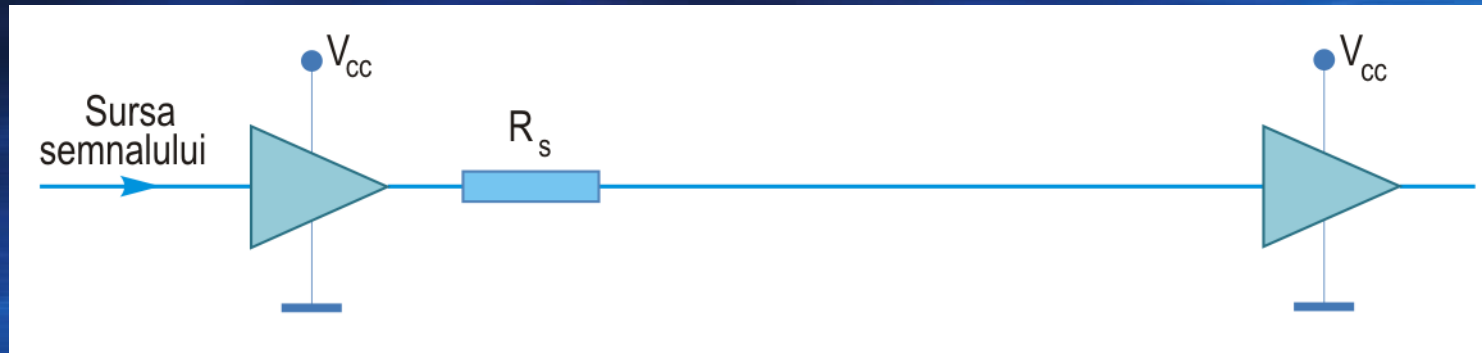
Considerații electrice (1)

- Proiectarea unor magistrale performante necesită minimizarea unor fenomene electrice nedorite
 - Determină scăderea fiabilității sistemelor
- Cele mai importante: *reflexiile de semnal*
- Reflexiile de semnal sunt determinate de discontinuitățile impedanțelor: conectori, încărcări capacitive, treceri între diferite straturi ale plăcilor

Considerații electrice (2)

- Reflexiile de semnal determină oscilații ale tensiunii și curentului
- Pentru eliminarea reflexiilor de semnal trebuie să se utilizeze terminatori de magistrală
- Terminatori:
 - Pasivi (rezistivi)
 - Activi
- Terminatorii rezistivi se pot conecta în serie sau în paralel

Condiții electrice (3)



- Terminator serie

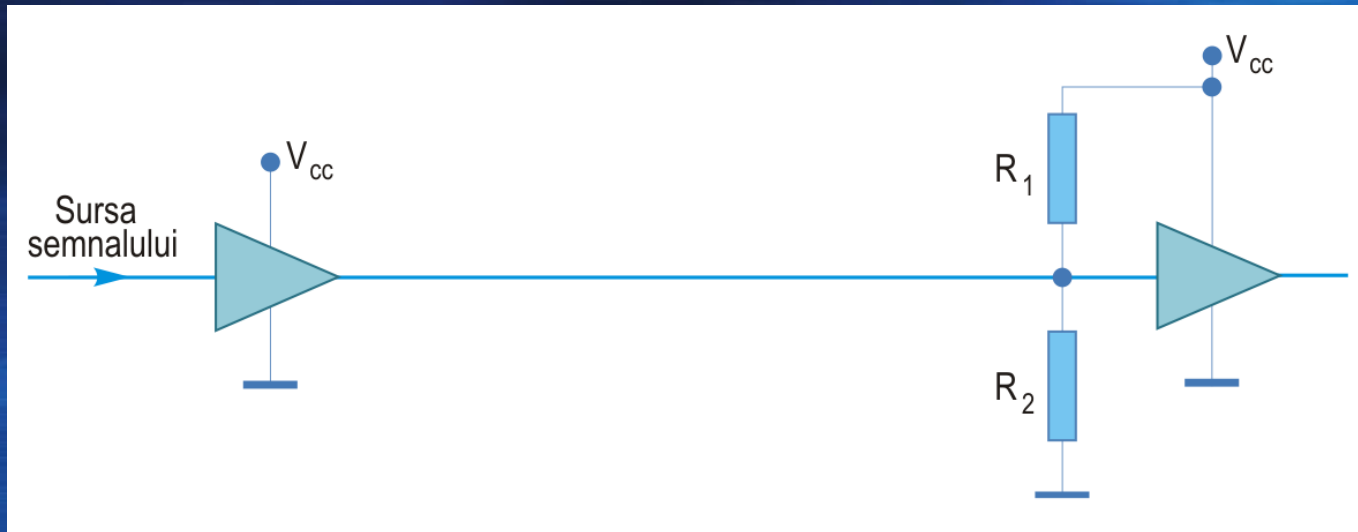
- În cazul ideal:

$$R_s + Z_s = Z_0$$

Z_s – impedanța sursei

Z_0 – impedanța caracteristică a liniei

Considerații electrice (4)



- **Terminator paralel**
- Se plasează o rezistență la capătul receptor → divizor
- Rezistența echivalentă R_e trebuie să fie egală cu impedanța caracteristică a liniei Z_0
- Se poate utiliza pentru magistralele bidirecționale

3. Magistrale

- Introducere
- Considerații electrice
- Sincronizarea transferurilor de date
- Magistrale paralele și seriale
- Arbitrajul de magistrală
- Magistrala PCI
- Magistrala PCI Express
- Alte magistrale seriale
- Magistrala VME

Sincronizarea transferurilor de date

- Sincronizarea transferurilor de date
 - Magistrale sincrone
 - Magistrale asincrone

Sincronizarea transferurilor de date

- După modul de sincronizare al transferurilor de date, magistralele pot fi:
 - Sincrone
 - Asincrone
- Operațiile magistrelor **sincrone** sunt controlate de un semnal de ceas → necesită un număr întreg de perioade de ceas
- Magistralele **asincrone** nu utilizează un semnal de ceas → ciclurile de magistrală pot avea orice durată

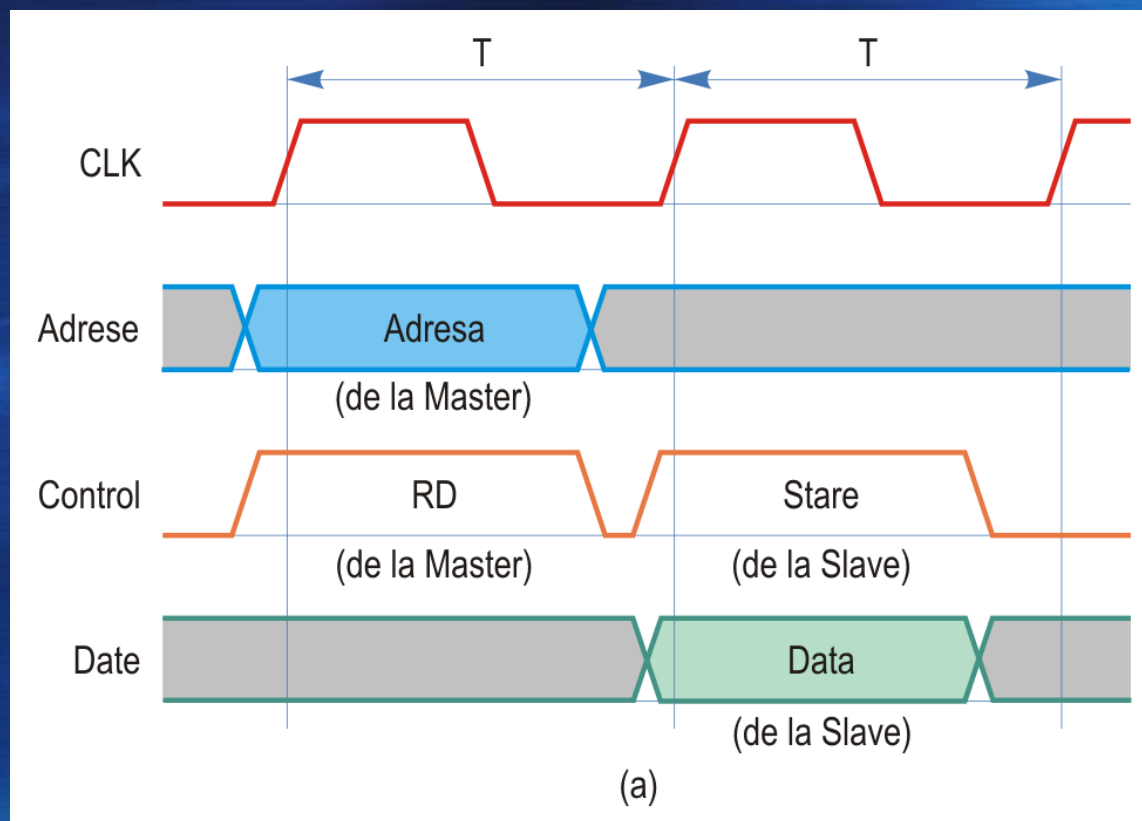
Sincronizarea transferurilor de date

- Sincronizarea transferurilor de date
 - Magistrale sincrone
 - Magistrale asincrone

Magistrale sincrone (1)

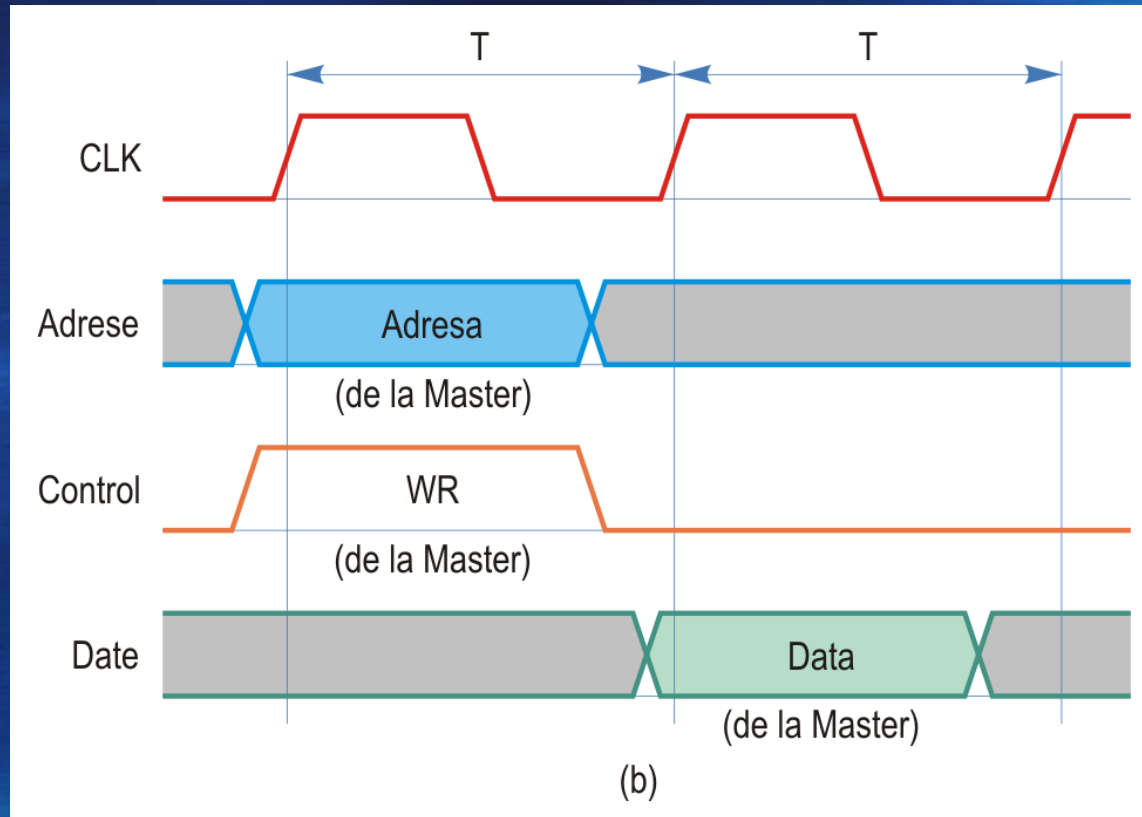
- Fiecare cuvânt este transferat pe durata unui număr întreg de cicluri de ceas
- Durata este cunoscută atât de unitatea sursă, cât și de cea destinație → sincronizare
- Sincronizarea:
 - Conectarea ambelor unități la un **semnal de ceas comun** → distanțe scurte
 - Utilizarea unor **semnale de ceas separate** pentru fiecare unitate → trebuie transmise semnale de sincronizare în mod periodic

Magistrale sincrone (2)



Transfer sincron – Citire

Magistrale sincrone (3)



Transfer sincron – Scriere

Magistrale sincrone (4)

- Cerința ca unitatea *slave* să răspundă în următorul ciclu de ceas poate fi eliminată
- Se introduce un semnal de control suplimentar *ACK* sau *WAIT*, controlat de unitatea *slave*
 - Semnalul este activat doar atunci când unitatea *slave* a terminat transferul datelor
- Unitatea *master* așteaptă până când recepționează semnalul *ACK* sau *WAIT* → se introduc *stări de așteptare*

Magistrale sincrone (5)

- **Dezavantaje** ale magistralelor sincrone:
 - Dacă un transfer se termină înaintea unui număr întreg de cicluri, trebuie să se aștepte până la sfârșitul ciclului
 - Viteza trebuie aleasă după dispozitivul cel mai lent
 - După alegerea unui ciclu de magistrală, **este dificil să se utilizeze avantajele îmbunătățirilor tehnologice viitoare**

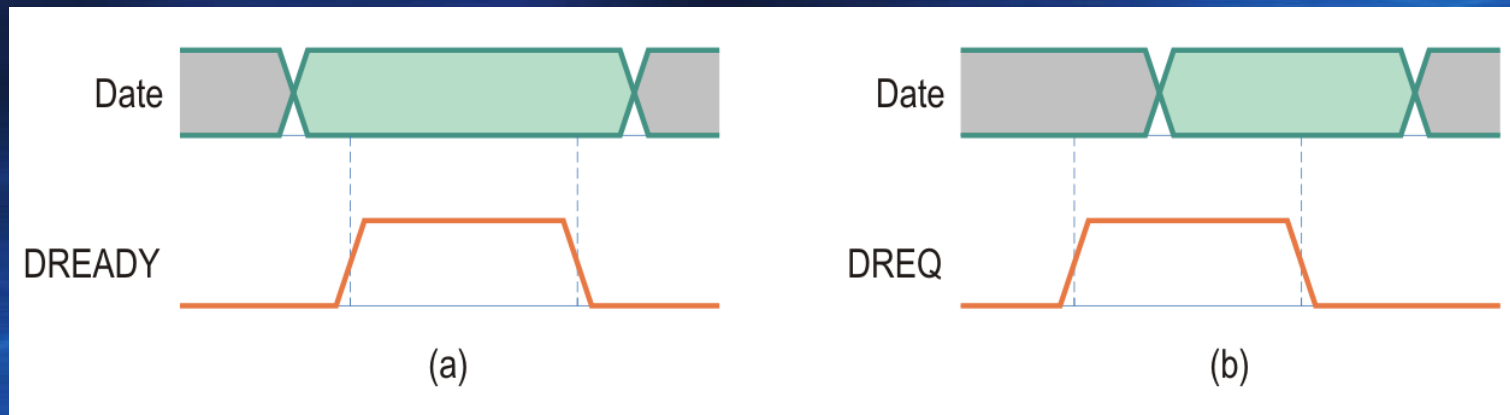
Sincronizarea transferurilor de date

- Sincronizarea transferurilor de date
 - Magistrale sincrone
 - Magistrale asincrone

Magistrale asincrone (1)

- O **magistrală asincronă** elimină dezavantajele magistrelor sincrone
- În locul semnalului de ceas se utilizează **semnale de control suplimentare** și un **protocol logic** între unități (sursă, destinație)
- Protocolul poate fi:
 - **Unidirecțional** – semnalele de sincronizare sunt generate de una din cele două unități
 - **Bidirecțional** – ambele unități generează semnale de sincronizare

Magistrale asincrone (2)

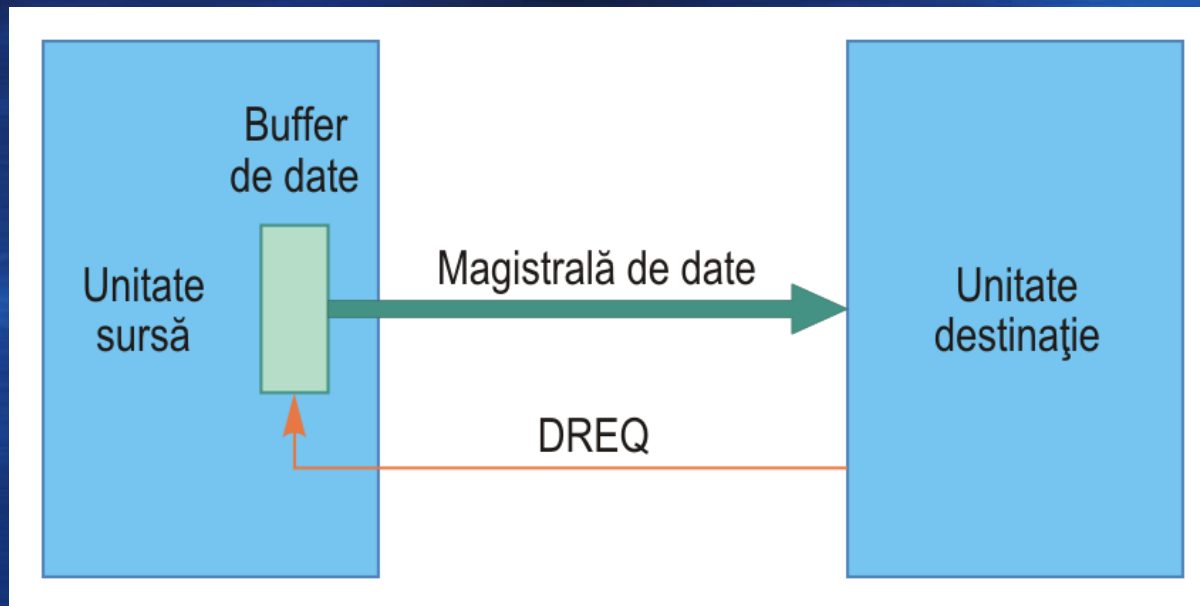


- Transfer prin protocol unidirecțional
- (a) Transfer inițiat de sursă
DREADY (*Data Ready*)
- (b) Transfer inițiat de destinație
DREQ (*Data Request*)

Magistrale asincrone (3)

- Semnalele *DREADY* și *DREQ* pot fi utilizate pentru:
 - Transferul datelor de la unitatea sursă pe magistrală
 - Încărcarea datelor de pe magistrală de către unitatea destinație
- Semnale de *strob*
- **Exemplu:** Sursa generează un cuvânt de date în mod asincron și îl plasează într-un registru buffer

Magistrale asincrone (4)

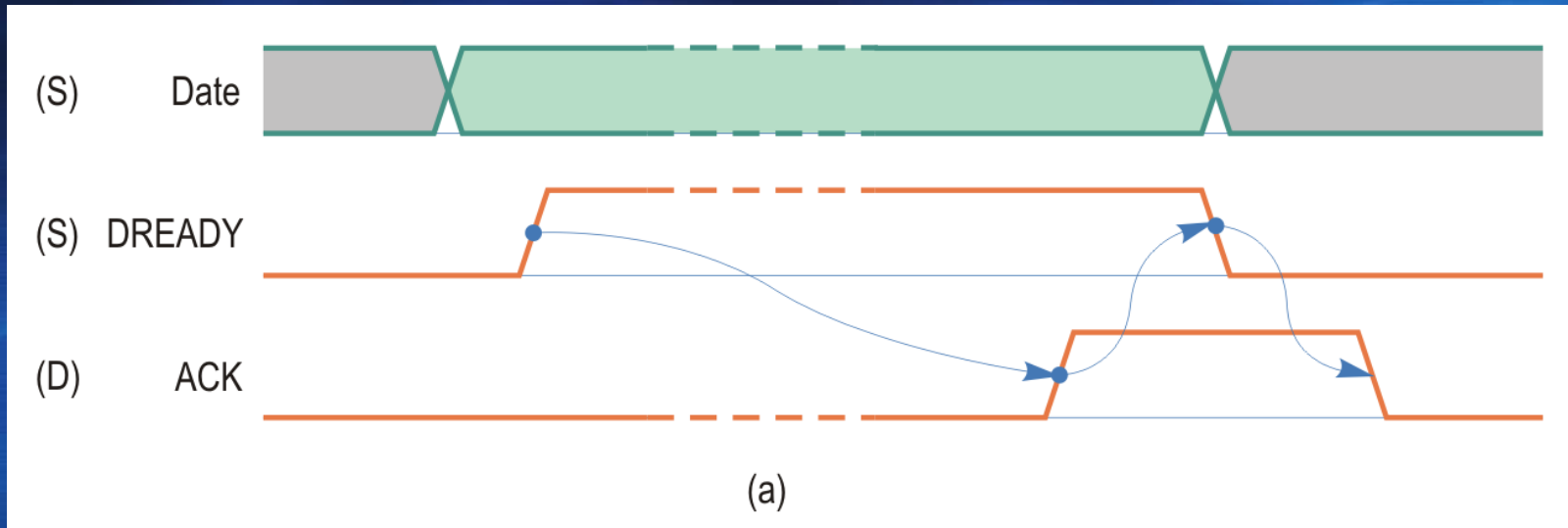


- Semnalul *DREQ* validează intrarea de ceas a bufferului

Magistrale asincrone (5)

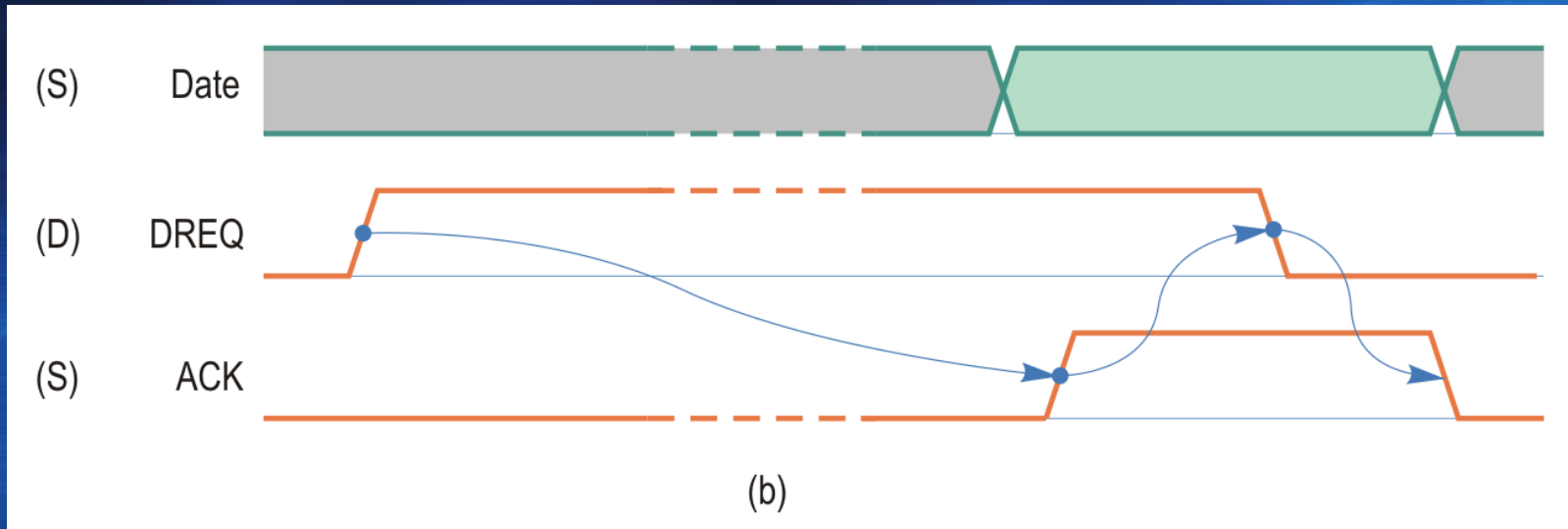
- Dezavantajul protocolului unidirecțional:
nu permite verificarea terminării cu succes a transferului
 - Exemplu: într-un transfer inițiat de sursă, aceasta nu are confirmarea recepției datelor de către destinație
- Soluția: introducerea unui semnal de confirmare *ACK* (*Acknowledge*) → protocol bidirecțional

Magistrale asincrone (6)



(a) Transfer prin protocol bidirecțional **inițiat de sursă**

Magistrale asincrone (7)



(b) Transfer prin protocol bidirecțional **inițiat de destinație**

Rezumat

- **Reflexiile de semnal** pot afecta fiabilitatea sistemelor de calcul
 - Pentru eliminarea sau reducerea reflexiilor de semnal, trebuie utilizați **terminatori de magistrală**
 - Pot fi conectați **în serie** sau **în paralel**
- Deși **magistralele sincrone** au dezavantaje, majoritatea magistrelor sunt sincrone
- **Magistralele asincrone** elimină anumite dezavantaje ale magistrelor sincrone
 - Protocoalele bidirecționale sunt mai fiabile

Noțiuni, cunoștințe

- Reflexii de semnal
- Terminator serie și paralel de magistrală
- Magistrale sincrone
- Operații de citire/scriere la magistrale sincrone
- Magistrale asincrone
- Transfer inițiat de sursă, unidirecțional
- Transfer inițiat de destinație, unidirecțional
- Transfer inițiat de sursă, bidirecțional
- Transfer inițiat de destinație, bidirecțional