

MODEL DE RASPUNSURI LA INTREBARILE DE TEORIE

1. Ce faze are pipeline-ul la Pentium?

Curs 1 slide 21

2. Ce intelegeti prin achitarea unei intreruperi hardware cand se utilizeaza circuitul PIC 8259A?

La tratarea unei intreruperi hard reg. ISR al circuitului PIC 8259 contine tipul intreruperii celei mai prioritare aflata in curs de tratare. Cand intreruperea a fost tratata procesorul anunta (in cazul EOI manual) PIC printr-o comanda data prin cuvantul de operare OCW2 terminarea/achitarea intreruperii si stergerea tipului intreruperii din ISR. Exemplu in curs 3 slide 20-23.

3. Explicati diferenta intre transferul DMA standard si Busmastering.

Curs 5 –DMA slide 7

4. Ce modalitati de control a transferului serial a datelor cunoasteti la 8250/16550?

Controlul transferului datelor la UART- 8250/16550 se poate realiza fie prin program (polling) fie prin intreruperi. La UART-ul din PC se pot utiliza ambele modalitati. In anumite implementari se poate folosi si controlul prin DMA (nu la PC).

5. Prezentați pe scurt etapele protocolului I2C.

Curs 7 slide 6-8

6. Ce tipuri de cicluri de transfer permite portul EPP? Ce adrese are alocate portul EPP, plecand de la adresa de baza 378h ?

Curs 9 slide 4-5

7. Explicati notiunea de memorie expandata.

Memoria expandata are la baza standardul LIM EMS (Lotus-Intel-Microsoft); servicii DOS INT 67h. Memoria expandata – EMS este un mecanism hard-soft de comutare a unor bancuri de memorie externa (de mare capacitate 1-4MB) intr-o fereastră din zona de adrese a zonei UMA: D0000h-Dffffh. Acest mecanism este asemanator cu mecanismul memoriei virtuale.

8. Cum functioneaza mecanismul Plug and Play?

Curs 12 slide 72-76

9. Ce tipuri de transferuri (canale) permite bus-ul USB? Explicati.

Curs 13 slide 35-36

10. Explicati principiul localizarii referintei la memoria cache.

Curs 11 slide 5-6

1. Ce conditii trebuiesc indeplinite pentru executia simultana a 2 instructiuni la procesoarele Pentium?

Curs 1 – slide 25

2. Cum se poate utiliza mecanismul de polling la PIC 8259A?

Mecanismul polling (pseudointreruperi) este implementat prin intermediul flagului P (=0) din OCW3 al circuitului PIC 8259A. In acest caz la aparitia unei cereri de intrerupere pe una din intrarile registrului IRR aceasta se memoreaza in registru, dar cererea nu se transmite mai departe spre procesor pe intrarea INT. Pentru consultarea/interogarea registrului IRR acesta se va citi setand in mod corespunzator bitii registrului OCW3. Vezi slide 24 Curs 3.

3. Enumerati etapele unui transfer DMA clasic.

Curs 5 slide 3-5

4. Care este rolul buffer-ului FIFO la UART?

Rolul FIFO la UART este de a reduce rata intreruperilor de la UART (prin fixarea unui prag de la care sa se genereze acestea) la microprocesor si a eficientiza timpul de procesare al acestuia. Curs 6 slide 23.

5. Enumerati 3 caracteristici cheie ale interfetei SPI.

Curs 7 slide 15-19

Interfata seriala sincrona, cu un singur master, full duplex, fara adresare – selectia slave se face hard prin CS, nu are confirmare si protocolul nu este specificat, doar frontul activ al ceasului.

6. Ce tipuri de transfer permite portul ECP. Ce adrese are alocate portul ECP, plecand de la adresa de baza 378h ?

Curs 9 slide 10,12

7. Explicati pe ce principiu se bazeaza eficienta memoriei cache?

Eficienta memoriei cache se bazeaza pe principiul localizarii referintei (o dimensiune mica de cache duce la un procentaj ridicat de accesuri rapide la memorie; ex Pentium 100: 16kB cache duce la 90% de accesuri rapide) etc vezi Curs 11 slide 4-6

8. Enumerati 3 avantaje ale bus-ului PCI fata de ISA.

Avantaje PCI vs ISA: latimea, viteza, banda, cartelele compatibile PCI pot fi master, ... vezi Curs 12

9. Care sunt noutatile aduse de USB 3.0?

Curs 13 slide 46 (Super speed ~5Gbps, transfer bidirectional, putere generata la conector ~4,5 W, compatibilitate versiuni anterioare...)

10. Ce caracteristici trebuie sa aiba un sistem de memorie performant?

Curs 10 slide 5